

# ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY DEVICE AND DRIVING METHOD THEREFOR

**Publication number:** JP9081089 (A)

**Publication date:** 1997-03-28

**Inventor(s):** MURAKAMI HIROSHI; YOSHIOKA HIROSHI; MORITA KEIZO; ITOKAZU MASASHI; NAKABAYASHI KENICHI; YAMAMOTO AKIRA; HARAGUCHI MUNEHIRO +

**Applicant(s):** FUJITSU LTD +

**Classification:**

**- international:** G02F1/133; G02F1/136; G02F1/1368; G09G3/20; G09G3/36; H01L29/786; G02F1/13; G09G3/20; G09G3/36; H01L29/66; (IPC1-7): G02F1/133; G02F1/136; G09G3/36; H01L29/786

**- European:** G09G3/36C8

**Application number:** JP19950239773 19950919

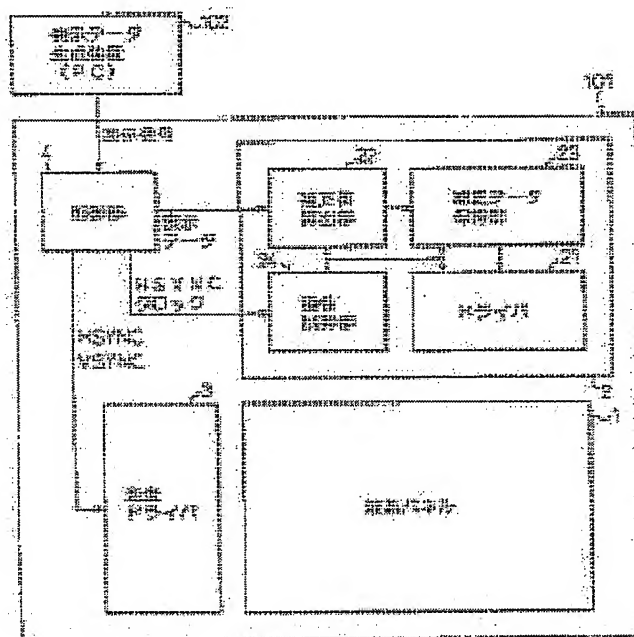
**Priority number(s):** JP19950239773 19950919

**Also published as:**

JP3734537 (B2)  
US6040814 (A)  
KR100240130 (B1)

## Abstract of JP 9081089 (A)

**PROBLEM TO BE SOLVED:** To realize an active matrix type LCD in which crosstalk is not generated even though the capacitance between pixel electrodes and an adjacent data buss line is large. **SOLUTION:** In an active matrix type liquid crystal display device provided with a liquid crystal panel 1 having plural data buss lines, plural scanning buss lines perpendicularly arranged to them and plural liquid crystal pixels having pixel electrodes and switching means TFTs, a data driver 2 impressing a data signal to be written to respective liquid crystal pixels on respective plural data buss lines and a scanning driver 3 successively impressing a scanning pulse signal on plural scanning lines,; the data driver 2 is constituted so as to impress a signal having both polarities of positive and negative polarities whose polarities are inverted with respect to reference levels on respective plural data buss lines in one cycle of impression cycles of the scanning pulse signal.



Data supplied from the *espacenet* database — Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平9-81089

(43)公開日 平成9年(1997)3月28日

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 G 3/36			G 0 9 G 3/36	
G 0 2 F 1/133	5 5 0		G 0 2 F 1/133	5 5 0
1/136	5 0 0		1/136	5 0 0
H 0 1 L 29/786			H 0 1 L 29/78	6 1 4

審査請求 未請求 請求項の数47 O L (全 35 頁)

(21)出願番号 特願平7-239773

(22)出願日 平成7年(1995)9月19日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番  
1号

(72)発明者 村上 浩

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 吉岡 浩史

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(74)代理人 弁理士 石田 敬 (外3名)

最終頁に続く

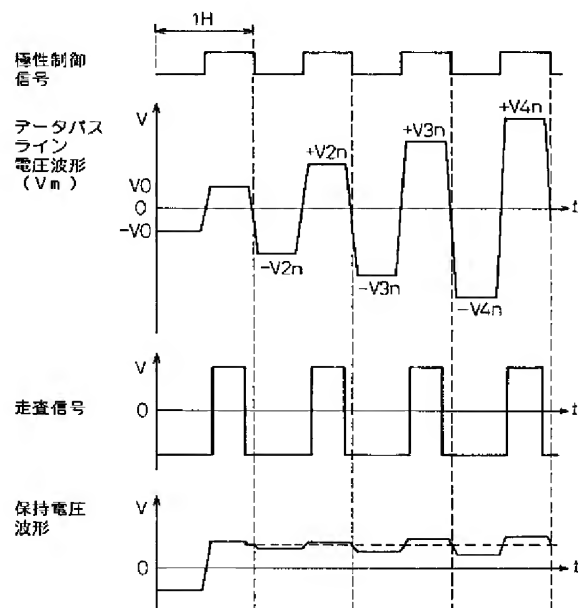
(54)【発明の名称】 アクティブマトリクス型液晶表示装置及びその駆動方法

(57)【要約】

【目的】 本発明はアクティブマトリクス型LCDに関し、たとえ画素電極と隣接するデータバスラインとの間の容量が大きくてもクロストークを生じないアクティブマトリクス型LCDの実現を目的とする。

【構成】 複数のデータバスライン12と、これに垂直に配置された複数の走査バスライン13と、画素電極17とスイッチング手段TFTとを有する複数の液晶画素とを有する液晶パネル1と、複数のデータバスライン12のそれぞれに各液晶画素に書き込むデータ信号を印加するデータドライバ2と、複数の走査バスライン13に走査パルス信号を順次印加する走査ドライバ3とを備えるアクティブマトリクス型液晶表示装置において、データドライバ2は、走査パルス信号の印加サイクルの1周期内に、基準レベルに対して反転した正負両極性の信号を複数のデータバスライン12のそれぞれに印加するように構成する。

本発明の第1の態様の原理説明図



**【特許請求の範囲】**

【請求項1】 平行に配置された複数のデータバスライン(12)と、該複数のデータバスライン(12)に垂直に配置された複数の走査バスライン(13)と、前記複数のデータバスライン(12)と前記走査バスライン(13)の交点に対応して配置され、それぞれが、画素電極(17)と、該画素電極(17)と対応する前記データバスライン(12)の間に接続され、対応する前記走査バスライン(13)に印加される走査パルス信号によって導通状態が制御されるスイッチング手段(TFT)とを有する複数の液晶画素とを有する液晶パネル(1)と、

前記複数のデータバスライン(12)のそれぞれに、各液晶画素に書き込むデータ信号を印加するデータドライバ(2)と、

前記複数の走査バスライン(13)に前記走査パルス信号を順次印加する走査ドライバ(3)とを備えるアクティブマトリクス型液晶表示装置において、前記データドライバ(2)は、前記走査パルス信号の印加サイクルの1周期内に、基準レベルに対して反転した正負両極性の信号を前記複数のデータバスライン(12)のそれぞれに印加することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項2】 前記データドライバ(2)は、前記走査パルス信号の印加の終了に同期して各液晶画素に書き込むデータ信号を出力する請求項1に記載のアクティブマトリクス型液晶表示装置。

【請求項3】 前記走査パルス信号の印加サイクルの1周期内においては、正負それぞれの極性のデータ信号の実効電圧が一定となるように、正負それぞれの極性のデータ信号の印加される期間と印加するデータ信号の振幅が設定されている請求項1又は2に記載のアクティブマトリクス型液晶表示装置。

【請求項4】 前記走査パルス信号の印加サイクルの1周期内においては、正負それぞれの極性のデータ信号が印加される期間は等しく、正負それぞれのデータ信号の振幅は等しくなるよう設定されている請求項3に記載のアクティブマトリクス型液晶表示装置。

【請求項5】 前記走査パルス信号の印加サイクルの1周期内においては、各液晶画素に書き込むデータ信号を出力する書き込み期間を、該各液晶画素に書き込むデータ電圧の逆極性のデータ信号を出力する補正期間より長くし、前記書き込み期間における実効電圧と前記補正期間における実効電圧が等しく、極性が逆になるように設定されている請求項3に記載のアクティブマトリクス型液晶表示装置。

【請求項6】 前記データドライバ(2)は、前記走査パルス信号の印加サイクル毎に、同一のデータバスラインの各液晶画素に書き込むデータ信号を反転させる請求項1から5のいずれか1項に記載のアクティブマトリク

ス型液晶表示装置。

【請求項7】 前記データドライバ(2)は、各液晶画素と容量結合されているデータバスライン(12)へ印加される信号による変動分を補正したデータ信号を出力する請求項1から6のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項8】 前記データ信号の補正は、各液晶画素と容量結合されているデータバスライン(12)へ、当該液晶画素の書き込みと同時に印加されるデータ電圧と結合容量に基づいて算出された量である請求項7に記載のアクティブマトリクス型液晶表示装置。

【請求項9】 各液晶画素と容量結合されているデータバスライン(12)へ印加される信号による変動分の補正演算は、一方のみにデータバスライン(12)が存在する一方の端の液晶画素に印加する表示データから順に補正済表示データを算出し、算出した前の列の補正済表示データを次の列の液晶画素に印加する表示データの補正演算に使用する請求項7又は8に記載のアクティブマトリクス型液晶表示装置。

【請求項10】 前記データドライバ(2)は、前記水平同期信号が入力され、行・列極性制御信号と極性制御信号を出力する極性制御手段(24)と、前記表示データと前記行・列極性制御信号が入力され、極性付き表示データを出力する極性情報付加手段(221)と、

前記ラッチ制御信号に同期して前記極性付き表示データをラッチして保持し、第n列補正前表示データとして出力する第n列表示データ保持手段(222)と、前記ラッチ制御信号に同期して第n列補正済表示データをラッチして保持し、第n-1列表示データとして出力する第n-1列表示データ保持手段(223)と、前記第n列補正前表示データと前記第n-1列表示データから第n列表示データの補正值を算出して前記第n列補正前表示データに加算し、第n列補正済表示データを出力する補正值算出手段とを備える請求項9に記載のアクティブマトリクス型液晶表示装置。

【請求項11】 前記補正值算出手段は、第n列表示データ保持手段(222)が出力する前記第n列補正前表示データに補正值を加算した補正データを出力する補正值加算手段(224)と、前記補正データを印加した時の変動分を算出して前記補正值加算手段(224)に出力する第1減衰部(225)とで構成されるループと、

前記第n-1列表示データ保持手段(223)が出力する前記第n-1列表示データによる第n列での変動分を算出する第2減衰手段(226)と、前記ループでの演算を所定回数繰り返した後の前記補正值加算手段(224)の出力と前記第2減衰手段(226)の出力とを加算して第n列補正済表示データを算出する隣接表示データ加算手段(227)とを備える請求

項10に記載のアクティブマトリクス型液晶表示装置。

【請求項12】 前記補正值算出手段は、前記第 $n$ 列表示データ保持手段(222)が出力する前記第 $n$ 列補正前表示データを印加した時の変動分を算出する第1乗算器(271)と、前記第 $n-1$ 列表示データ保持手段(223)が出力する前記第 $n-1$ 列表示データによる第 $n$ 列での変動分を算出する第2乗算器(272)と、前記第1乗算器(271)と前記第2乗算器(272)の出力を加算し最初の補正值を算出する第1加算器(273)と、該第1加算器(273)の出力と補正值を加算する第2加算器(274)と、該第2加算器(274)の出力による補正を行った時の変動分を算出する第3乗算器(275)とで構成されるループと、ループでの演算を所定回数繰り返した後の前記第2加算器(274)の出力と前記第 $n$ 列表示データ保持手段(222)の出力とを加算して第 $n$ 列補正済表示データを算出する第3加算器(276)とを備える請求項10に記載のアクティブマトリクス型液晶表示装置。

【請求項13】 液晶画素と当該液晶画素に対応するデータバスラインとの結合容量を $\alpha$ 、当該液晶画素と容量結合している前の列のデータバスラインとの結合容量を $\beta$ とすると、前記補正值算出手段は、前記第 $n$ 列表示データ保持手段(222)が出力する前記第 $n$ 列補正前表示データに、 $\alpha$ を乗ずる第1乗算器(231)と、前記第 $n-1$ 列表示データ保持手段(223)が出力する前記第 $n-1$ 列表示データに、 $\beta$ を乗ずる第2乗算器(232)と、前記第1乗算器(231)と前記第2乗算器(232)の出力を加算する加算器(233)とを備える請求項10に記載のアクティブマトリクス型液晶表示装置。

【請求項14】 前記補正值算出手段は、前記第 $n$ 列補正前表示データと前記第 $n-1$ 列表示データの組に対してあらかじめ算出した補正值を、前記第 $n$ 列補正前表示データと前記第 $n-1$ 列表示データを入力アドレスとして記憶したルックアップテーブルを備える請求項9に記載のアクティブマトリクス型液晶表示装置。

【請求項15】 前記補正においては、データ電圧と表示輝度が比例するように、当該液晶表示装置の $\gamma$ 特性に従った補正を行う請求項14に記載のアクティブマトリクス型液晶表示装置。

【請求項16】 前記一方のみにデータバスライン(12)が存在する一方の端の液晶画素を左端になるように配置した請求項9から14のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項17】 前記画素電極(17)を、該画素電極(17)を挟むように設けられた2本のデータバスライ

ン(12)のうち、少なくとも1本と重ね合わせて形成した請求項1から14のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項18】 前記画素電極(17)の少なくとも一部を比較的低抵抗の薄膜で覆い、該薄膜の一端を隣接するデータバスライン(12)の少なくとも1方に接続した請求項1から17のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項19】 前記薄膜で覆われる画素電極の一部は、前記走査バスライン(13)に沿っている請求項18に記載のアクティブマトリクス型液晶表示装置。

【請求項20】 前記データドライバ(2)は、表示データの取り込みタイミングを指示するアドレッシング手段(41)と、前記表示データを並行して入力する入力バスと、前記アドレッシング手段(41)が指示するタイミングで前記入力バスと前記データバスライン(12)を接続するスイッチング手段(42)とを備え、前記データバスライン(12)を前記入力バスに順次選択的に接続し、接続されるタイミングに合わせて表示データを供給して書き込みを行う点順次型データドライバであり、

前記データバスライン(12)は、データバスライン(12)への書き込みが終了して当該データバスライン(12)が前記入力バスから切り離される時点では、次に表示データが書き込まれるデータバスラインは前記入力バスに接続された状態である請求項1から19のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項21】 前記入力バスは少なくとも2系統からなり、前記データバスライン(12)は、少なくとも1本の隣接したデータバスラインで構成される組に分割され、前記入力バスの各系統はデータバスラインの組を構成するデータバスラインの本数に等しい信号線を有する請求項20に記載のアクティブマトリクス型液晶表示装置。

【請求項22】 前記アドレッシング手段(41)はシフトレジスタで構成され、当該シフトレジスタのシフトパルスのパルス幅は複数のシフトサイクルである請求項20又は21に記載のアクティブマトリクス型液晶表示装置。

【請求項23】 前記シフトレジスタの1段を半クロック同期型のフリップフロップで構成した請求項22に記載のアクティブマトリクス型液晶表示装置。

【請求項24】 平行に配置された複数のデータバスライン(12)と、該複数のデータバスライン(12)に垂直に配置された複数の走査バスライン(13)と、前記複数のデータバスライン(12)と前記走査バスライン(13)の交点に対応して配置され、それぞれが、画素電極(17)と、該画素電極(17)と対応する前記データバスライン(12)の間に接続され、対応する前

記走査バスライン(13)に印加される走査パルス信号によって導通状態が制御されるスイッチング手段(TFT)とを有する複数の液晶画素とを有する液晶パネル

(1)と、

前記複数のデータバスライン(12)のそれぞれに、各液晶画素に書き込むデータ信号を印加するデータドライバ(2)と、

前記複数の走査バスライン(13)に前記走査パルス信号を順次印加する走査ドライバ(3)と、

前記データドライバ(2)に表示データと水平同期信号とラッチ制御信号を出力し、前記走査ドライバ(3)に垂直同期信号を出力する表示制御手段とを備えるアクティブマトリクス型液晶表示装置において、

前記データドライバ(2)は、

前記水平同期信号が入力され、行・列極性制御信号と極性制御信号を出力する極性制御手段(24)と、

前記表示データと前記行・列極性制御信号が入力され、極性付き表示データを出力する極性情報付加手段(221)と、

前記ラッチ制御信号に同期して前記極性付き表示データをラッチして保持し、第n列補正前表示データとして出力する第n列表示データ保持手段(222)と、

前記ラッチ制御信号に同期して第n列補正済表示データをラッチして保持し、第n-1列表示データとして出力する第n-1列表示データ保持手段(223)と、

前記第n列補正前表示データと前記第n-1列表示データから第n列表示データの補正値を算出して前記第n列補正前表示データに加算し、第n列補正済表示データを出力する補正値算出手段とを備えることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項25】 前記補正値算出手段は、

第n列表示データ保持手段(222)が出力する前記第n列補正前表示データに補正値を加算した補正データを出力する補正値加算手段(224)と、前記補正データを印加した時の変動分を算出して前記補正値加算手段(224)に出力する第1減衰部(225)とで構成されるループと、

前記第n-1列表示データ保持手段(223)が出力する前記第n-1列表示データによる第n列での変動分を算出する第2減衰手段(226)と、

前記ループでの演算を所定回数繰り返した後の前記補正値加算手段(224)の出力と前記第2減衰手段(226)の出力とを加算して第n列補正済表示データを算出する隣接表示データ加算手段(227)とを備える請求項24に記載のアクティブマトリクス型液晶表示装置。

【請求項26】 前記補正値算出手段は、

前記第n列表示データ保持手段(222)が出力する前記第n列補正前表示データを印加した時の変動分を算出する第1乗算器(271)と、

前記第n-1列表示データ保持手段(223)が出力す

る前記第n-1列表示データによる第n列での変動分を算出する第2乗算器(272)と、

前記第1乗算器(271)と前記第2乗算器(272)の出力を加算し最初の補正値を算出する第1加算器(273)と、

該第1加算器(273)の出力と補正値を加算する第2加算器(274)と、該第2加算器(274)の出力による補正を行った時の変動分を算出する第3乗算器(275)とで構成されるループと、

ループでの演算を所定回数繰り返した後の前記第2加算器(274)の出力と前記第n列表示データ保持手段(222)の出力とを加算して第n列補正済表示データを算出する第3加算器(276)とを備える請求項24に記載のアクティブマトリクス型液晶表示装置。

【請求項27】 液晶画素と当該液晶画素に対応するデータバスラインとの結合容量を $\alpha$ 、当該液晶画素と容量結合している前の列のデータバスラインとの結合容量を $\beta$ とすると、

前記補正値算出手段は、

前記第n列表示データ保持手段(222)が出力する前記第n列補正前表示データに、 $\alpha$ を乗ずる第1乗算器(231)と、

前記第n-1列表示データ保持手段(223)が出力する前記第n-1列表示データに、 $\beta$ を乗ずる第2乗算器(232)と、

前記第1乗算器(231)と前記第2乗算器(232)の出力を加算する加算器(233)とを備える請求項24に記載のアクティブマトリクス型液晶表示装置。

【請求項28】 平行に配置された複数のデータバスライン(12)と、該複数のデータバスライン(12)に垂直に配置された複数の走査バスライン(13)と、前記複数のデータバスライン(12)と前記走査バスライン(13)の交点に対応して配置され、それぞれが、画素電極(17)と、該画素電極(17)と対応する前記データバスライン(12)の間に接続され、対応する前記走査バスライン(13)に印加される走査パルス信号によって導通状態が制御されるスイッチング手段(TFT)とを有する複数の液晶画素とを有する液晶パネル

(1)と、  
前記複数のデータバスライン(12)のそれぞれに、各液晶画素に書き込むデータ電圧を印加するデータドライバ(2)と、

前記複数の走査バスライン(13)に前記走査パルス信号を順次印加する走査ドライバ(3)と、

前記データドライバ(2)に入力する表示データと制御信号と、前記走査ドライバ(3)に入力する制御信号を発生する表示制御手段とを備えるアクティブマトリクス型液晶表示装置において、

1行分の前記液晶画素にデータ電圧を書き込むために、前記データドライバ(2)が前記複数のデータバスライ

ン(12)に前記データ電圧を印加する期間(Ton-data)は、前記走査パルス信号が印加される周期である1水平同期期間より短く、該データ電圧を印加する期間以外の期間(Toff-data)には所定の電圧(Voff-data)が前記複数のデータバスライン(12)に印加されることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項29】 前記データ信号を印加する期間以外の期間(Toff-data)に印加される所定の電圧(Voff-data)はある一定の周期において、その直流成分が一定である請求項28に記載のアクティブマトリクス型液晶表示装置。

【請求項30】 前記データ信号を印加する期間(Ton-data)は、前記1水平同期期間の半分以下である請求項28又は29に記載のアクティブマトリクス型液晶表示装置。

【請求項31】 前記データ信号を印加する期間以外の期間(Toff-data)には所定の電圧(Voff-data)の直流成分は、前記データ電圧の最大値(Vdmax)と最小値(Vdmin)の平均値( $(Vdmax + Vdmin) / 2$ )と略等しい請求項28から30のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項32】 前記スイッチング手段(TFT)はNチャンネル型TFTであり、前記データ信号を印加する期間以外に印加される所定の電圧(Voff-data)は、前記データ信号の最小値以下である請求項28から31のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項33】 前記スイッチング手段(TFT)はPチャンネル型TFTであり、前記データ信号を印加する期間以外に印加される所定の電圧(Voff-data)は、前記データ信号の最大値以上である請求項28から31のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項34】 絶縁膜を挟んで前記画素電極(17)に重なるように補助バス(Csバス)を設け、該画素電極(17)を一方の電極とし、前記補助バス(Csバス)をもう一方の電極とする補助容量を有し、前記スイッチング手段(TFT)はNチャンネル型TFTであり、前記データ信号を印加する期間以外の期間(Toff-data)に前記補助バス(Csバス)に印加される電圧は、前記データ信号を印加する期間(Ton-data)に前記補助バス(Csバス)に印加される電圧より高い請求項28から33のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項35】 絶縁膜を挟んで前記画素電極(17)に重なるように補助バス(Csバス)を設け、該画素電極(17)を一方の電極とし、前記補助バス(Csバス)をもう一方の電極とする補助容量を有し、

前記スイッチング手段(TFT)はPチャンネル型TFTであり、前記データ信号を印加する期間以外の期間(Toff-data)に前記補助バス(Csバス)に印加される電圧は、前記データ信号を印加する期間(Ton-data)に前記補助バス(Csバス)に印加される電圧より低い請求項28から33のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項36】 前記画素電極(17)を当該画素電極(17)に隣接する前記走査バスライン(13)と絶縁膜を挟んで重なるように形成し、該画素電極(17)を一方の電極とし、隣接する走査バスライン(13)をもう一方の電極とする補助容量を有し、前記スイッチング手段(TFT)はNチャンネル型TFTであり、前記走査バスライン(13)に印加される電圧は、走査パルスが印加される走査バスラインを除いて、前記データ信号を印加する期間以外の期間(Toff-data)の方が、前記データ信号を印加する期間(Ton-data)より高い請求項28から33のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項37】 前記画素電極(17)を当該画素電極(17)に隣接する前記走査バスライン(13)と絶縁膜を挟んで重なるように形成し、該画素電極(17)を一方の電極とし、隣接する走査バスライン(13)をもう一方の電極とする補助容量を有し、前記スイッチング手段(TFT)はPチャンネル型TFTであり、前記走査バスライン(13)に印加される電圧は、走査パルスが印加される走査バスラインを除いて、前記データ信号を印加する期間以外の期間(Toff-data)の方が、前記データ信号を印加する期間(Ton-data)より低い請求項28から33のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項38】 前記データ信号を印加する期間以外の期間(Toff-data)にデータバスラインに印加される所定の電圧(Voff-data)を調整するVoff-data調整手段を有する請求項28から37のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項39】 前記データドライバ(2)は、前記複数の液晶画素が形成されるのと同じ基板上に、一行分の前記データ信号を保持する少なくとも前記データバスライン(12)と同数のサンプリングホールド回路と、該サンプリングホールド回路を構成するスイッチの制御信号を発生する制御回路と、前記データバスライン(12)を前記サンプリングホールド回路の出力端子に接続するか前記データ信号を印加する期間以外の期間(Toff-data)にデータバスラインに印加される所定の電圧(Voff-dat

a)を供給するVoff-data供給手段に接続するかを切り換えるスイッチとを備える請求項28から37のいずれか1項に記載のアクティブマトリクス型液晶表示装置。

【請求項40】 平行に配置された複数のデータバスライン(12)と、該複数のデータバスライン(12)に垂直に配置された複数の走査バスライン(13)と、前記複数のデータバスライン(12)と前記走査バスライン(13)の交点に対応して配置され、それぞれが、画素電極(17)と、該画素電極(17)と対応する前記データバスライン(12)の間に接続され、対応する前記走査バスライン(13)に印加される走査パルス信号によって導通状態が制御されるスイッチング手段(TFT)とを有する複数の液晶画素とを有する液晶パネル(1)と、  
前記複数のデータバスライン(12)のそれぞれに、各液晶画素に書き込むデータ信号を印加するデータドライバ(2)と、  
前記複数の走査バスライン(13)に前記走査パルス信号を順次印加する走査ドライバ(3)とを備えるアクティブマトリクス型液晶表示装置の駆動方法であって、  
前記走査パルス信号の印加サイクルの1周期内に、基準レベルに対して反転した正負両極性の信号を前記複数のデータバスライン(12)のそれぞれに印加することを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項41】 前記データバスライン(12)に印加されるデータ信号は、各液晶画素と容量結合されているデータバスライン(12)及び走査バスライン(13)へ印加される信号による変動分の少なくとも一方を補正した信号である請求項40に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【請求項42】 前記データ信号の補正量は、各液晶画素と容量結合されているデータバスライン(12)へ、当該液晶画素の書き込みと同時に印加されるデータ電圧と結合容量に基づいて算出される請求項41に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【請求項43】 各液晶画素と容量結合されているデータバスライン(12)へ印加される信号による変動分の補正演算は、一方のみにデータバスライン(12)が存在する一方の端の液晶画素に印加する表示データから順に補正済表示データを算出し、算出した前の列の補正済表示データを次の列の液晶画素に印加する表示データの補正演算に使用する請求項41又は42に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【請求項44】 前記データドライバ(2)は、表示データの取り込みタイミングを指示するアドレッシング手段(41)と、前記表示データを並行して入力する入力バスと、前記アドレッシング手段(41)が指示するタイミングで前記入力バスと前記データバスライン(1

2)を接続するスイッチング手段(42)とを備え、前記データバスライン(12)を前記入力バスに順次選択的に接続し、接続されるタイミングに合わせて表示データを供給して書き込みを行う点順次型データドライバであり、

前記データバスライン(12)への書き込みが終了して当該データバスライン(12)が前記入力バスから切り離される前に、次に表示データが書き込まれるデータバスラインを前記入力バスに接続する請求項40に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【請求項45】 平行に配置された複数のデータバスライン(12)と、該複数のデータバスライン(12)に垂直に配置された複数の走査バスライン(13)と、前記複数のデータバスライン(12)と前記走査バスライン(13)の交点に対応して配置され、それぞれが、画素電極(17)と、該画素電極(17)と対応する前記データバスライン(12)の間に接続され、対応する前記走査バスライン(13)に印加される走査パルス信号によって導通状態が制御されるスイッチング手段(TFT)とを有する複数の液晶画素とを有する液晶パネル(1)と、

前記複数のデータバスライン(12)のそれぞれに、各液晶画素に書き込むデータ電圧を印加するデータドライバ(2)と、

前記複数の走査バスライン(13)に前記走査パルス信号を順次印加する走査ドライバ(3)と、

前記データドライバ(2)に表示データと水平同期信号とラッチ制御信号を出力し、前記走査ドライバ(3)に垂直同期信号を出力する表示制御手段とを備えるアクティブマトリクス型液晶表示装置の駆動方法であって、  
1行分の前記液晶画素にデータ電圧を書き込むために、  
前記データドライバ(2)が前記複数のデータバスライン(12)に前記データ電圧を印加する期間(Ton-data)は、前記走査パルス信号が印加される周期である1水平同期期間より短く、該データ電圧を印加する期間以外の期間(Toff-data)には所定の電圧(Voff-data)が前記複数のデータバスライン(12)に印加されることを特徴とするアクティブマトリクス型液晶表示装置の駆動方法。

【請求項46】 前記スイッチング手段(TFT)はNチャンネル型TFTであり、前記データ信号を印加する期間以外に印加される所定の電圧(Voff-data)は、前記データ信号の最小値以下である請求項45に記載のアクティブマトリクス型液晶表示装置の駆動方法。

【請求項47】 前記スイッチング手段(TFT)はPチャンネル型TFTであり、前記データ信号を印加する期間以外に印加される所定の電圧(Voff-data)は、前記データ信号の最大値以上である請求項45に記載のアクティブマトリクス型液晶表示装置の駆動方

法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はアクティブマトリクス型液晶表示装置(LCD)に関し、特にクロストーク等を低減することにより表示データに対応した正確な輝度表示の可能なアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】近年、表示品質の良好なアクティブマトリクス型液晶表示装置が広く使用されるようになってきた。図43は、アクティブマトリクス型液晶表示装置の基本的な構成を示す図である。なお、以下に示す図においては、同一の機能部分には同一の参照番号を付して表し、説明の一部を省略する。

【0003】図43において、参照番号1は液晶パネルであり、2はデータドライバであり、3は走査ドライバであり、4は制御部である。液晶パネル1は、2枚の対向する基板を有し、一方の基板には複数の信号線(データバスライン)12と複数の走査線(走査バスライン)13が交差するように設けられ、交差点に対応させて薄膜トランジスタTFTと画素電極を設け、もう一方の基板には対向電極を設け、2枚の基板の間に液晶材料を保持させる。画素電極と対向電極、及びその間に保持された液晶材料により液晶セルが形成される。この液晶セルは、電気的には容量素子と等価である。

【0004】図44は、従来のアクティブマトリクス型液晶表示装置の1画素分の上面図である。図44において、参照番号11は液晶パネル1のTFT等が形成される基板であり、ここではTFT基板と称する。TFT基板11上には、データバスライン12と走査バスライン13を垂直に交差するように設けると共に、データバスライン12に接続する多結晶シリコン或いはアモルファスシリコンからなる半導体層及び走査線に接続するゲート電極14を設けてゲート電極14をスイッチングするTFTを構成し、このTFTのソース16に接続する画素電極17を設ける。15はドレインである。

【0005】対向基板側には、破線で示したブラックマトリクス(BM)等の遮光膜を設けて、遮光膜の境界38で囲まれた領域を表示用の開口部としている。図45はアクティブマトリクス型液晶表示装置の動作を説明する図であり、(a)は各画素の等価回路を示す図であり、画素とそれに隣接するデータバスラインとの寄生容量も含めて示してある。(b)はデータバスライン12と走査バスライン13に印加される信号の波形と、液晶に印加される液晶電圧を示す図である。

【0006】図45の(a)に示すように、各液晶画素は、等価的に両端をコモン電圧 $V_{com}$ とTFTにそれぞれ接続された容量素子で表すことができ、その容量を $C_{1n}$ で表すこととする。この他に、画素電極17と隣

接するデータバスラインや走査バスラインとの間に寄生容量が存在する。 $n$ 列目の画素電極17が $n$ 番目と $n+1$ 番目のデータバスラインの間に形成される時には、画素電極17と $n$ 番目のデータバスラインとの間の寄生容量を $C_{1n1}$ 、画素電極17と $n+1$ 番目のデータバスラインとの間の寄生容量を $C_{1n2}$ で表すこととする。実際には、走査バスラインとの間の寄生容量についても問題であるが、本発明には直接関係しないので、ここでは省略する。

【0007】TFTが $n$ チャンネル型の場合には、データドライバ2とスキャンドライバ3から、各データバスライン12と走査バスライン13に、図45の(b)に示すようなデータ電圧と走査パルスがそれぞれ印加される。データドライバ2は、各データバスラインに印加するデータ電圧を指示する信号を受け、それぞれのデータバスに割り当てて印加する機能を備えている。走査ドライバ3は、各行の走査バスライン13に走査パルスを順次印加する。走査バスライン13に正のパルスが印加されると、その走査バスライン13に接続された1行分のTFTがすべて導通(オン)状態になり、その行の画素電極がそれぞれデータバスライン12に接続された状態になる。これにより、各液晶セルにはデータバスライン12に印加されたデータ電圧が印加され、この電圧に充電された状態になる。走査バスライン13への走査パルスの印加が終了すると、TFTは非導通(オフ)状態になり、各液晶セルはその時点の電圧を再び走査パルスが印加されるまで保持する。1画面分の表示データの書き込みを行うのに要する時間を1フレームと称しており、同一の走査バスラインには、1フレームイクル毎に走査パルスが印加される。これにより、各行の液晶画素は1フレームイクル毎に1回書換えられる。

【0008】液晶表示装置は、各液晶画素に保持された電圧(電荷)で液晶分子の配向を制御するため、スキャンパルスで選択してデータ電圧を印加してから、再びスキャンパルスを印加して選択するまでの間、液晶画素の保持電圧をどれだけ正確に保持し続けるかによって表示品質が左右される。そのために、例えば、TFTのオフ電流等による保持電圧の変動をできるだけ抑制するように、等価的に液晶画素と並列な蓄積容量を設けることが多い。蓄積容量は、画素電極を走査バスライン13や専用の蓄積容量電極に重ねて形成するのであるが、蓄積容量だけでは様々な種類の保持電圧の変動を完全に無くすることはできないため、他にも電圧保持に有効な駆動方式やLCD構造が強く求められている。

【0009】

【発明が解決しようとする課題】図45の(b)には、データバスラインを介して液晶画素に印加され保持されたデータ電圧が、走査パルスの印加が終了した時点で $\Delta V_{gs}$ の変化を生じ、次の行に印加するデータ電圧への切り換え時点で $\Delta V_p$ の変化を生じる様子が示されてい

る。LCDにおける液晶画素の保持電圧の変動により引き起こす問題には、 $\Delta V_{gs}$ のような走査パルスに起因する問題もあるが、走査パルスの電圧変動は一定であるため $\Delta V_{gs}$ は一定であり、対向電極の電圧を調整するか、その分だけデータ電圧を補正することにより打ち消すことが可能である。本発明は、隣接するデータバスラインに印加されるデータ電圧の変動に起因する問題を主として解決することを目的とするため、これを中心に説明する。隣接するデータバスラインに印加されるデータ電圧の変動が影響するということは、他の画素の表示が影響するということであり、このような変動をクロストークと称する。

【0010】図46は、図45に示したように配置されたアクティブマトリクス型LCDにおいてクロストークを生じる原因を説明するための図であり、各液晶画素に保持させたい電圧を極性付きで示している。一般にフリッカと呼ばれる問題を防止するため、液晶画素に印加する電圧の極性を、列方向に、又は行方向に、又は両方向に交互に変えることが行われている。各液晶画素に印加する電圧の極性は、各フレーム毎に変えられる。ここで説明する例では、列毎に交互に極性を変えている。

【0011】図47の(a)はn列目とn+1列目のデ

$$\Delta V_{1n} = \frac{CD1}{CT} (V_{2n} - V_{1n}) + \frac{CD2}{CT} (-V_{2(n-1)} + V_{1(n-1)})$$

$$\text{但し、} CT = CLC + CD1 + CD2 + CGS + CS$$

【0013】数1の式で明らかなように、 $\Delta V_{1n}$ は、n列目とn+1列目のデータバスラインにおけるデータ電圧の変化量と、液晶画素の容量と寄生容量の比に依存することがわかる。次に、 $\Delta V_{1n}$ が実際の表示においてどのような表示品質の低下をもたらすかについて説明する。

【0014】図48は、表示パターンにおけるクロストークの影響を説明する図であり、(a)はノーマリホワイトの表示における表示例を示し、(b)はn列目、n+1列目、n+2列目、n+3列目のデータバスラインに印加されるデータ電圧の変化と、1行n列目の液晶画素の保持電圧 $V_{c1n}$ の変化を示す。n列目の1行目の液晶画素に書き込むデータ電圧を $V_0$ で表す。

【0015】図48の(a)のような表示パターンであるため、(b)に示すように、n列目のデータ電圧は $V_0$ から徐々に増加し、n+1列目とn+2列目のデータ電圧の絶対値は $V_0$ で一定であり、n+3列目のデータ電圧はn列目のデータ電圧を逆極性にした電圧である。データ電圧がこのような変化すると、 $V_{c1n}$ は、1行目の走査パルスが印加される走査選択期間において $V_0$ になる。n+1列目のデータバスラインに印加されるデ

ータバスラインに印加されるデータ電圧と、走査パルスを示し、(b)はn列目の液晶画素の保持電圧 $V_{c1n}$ を示す。図示のように、データ電圧の絶対値は、n列目においては、1行目の方が2行目より大きく、n+1列目においては、1行目の方が2行目より小さい。図47の(a)に示すように、走査パルスが印加されるとTF-Tがオン状態になり、 $V_{c1n}$ は、n列目のデータバスラインに印加されるデータ電圧+ $V_{1n}$ になる。図47の(b)に示すように、走査パルスの印加が終了すると $\Delta V_{gs}$ の変化が生じるが、ここでは無視して説明する。データバスラインに印加されるデータ電圧は、走査パルスの印加終了後、2行目の液晶画素に印加するデータ電圧に変化する。すなわち、n列目のデータバスラインに印加するデータ電圧は+ $V_{1n}$ から+ $V_{2n}$ に、n+1列目のデータバスラインに印加するデータ電圧は- $V_{1(n+1)}$ から- $V_{2(n+1)}$ に変化する。図45の(a)に示すように、n列の液晶画素は、n列目とn+1列目のデータバスラインとの間に寄生容量があるから、この変化に応じて、 $V_{c1n}$ は、数1の式で表される $\Delta V_{1n}$ の変化を生じる。

【0012】

【数1】

ータ電圧は変化しないか、上記の数1の式の2項目はゼロであるが、n列目のデータバスラインに印加されるデータ電圧が変化するため、数1の式の第1項の係数を $\alpha_1$ とすると、 $V_{c1n}$ は図示のようにデータ電圧に $\alpha_1$ を乗じた分だけ変化することになる。これに対して、n+1列目の液晶画素にはn列1行目の液晶画素と同じ強度で逆極性のデータ電圧- $V_0$ が書き込まれるが、n+1列目とn+2列目のデータバスラインに印加されるデータ電圧は変化しないから、n+1列1行目の液晶画素の保持電圧 $V_{c1(n+1)}$ は書き込まれた電圧- $V_0$ のまま変化しない。従って、同じ絶対値のデータ電圧が書き込まれたにもかかわらず、 $V_{c1n}$ は変化するが、 $V_{c1(n+1)}$ は一定である。このように、n列1行目の液晶画素の保持電圧 $V_{c1n}$ は、その列の液晶画素に続けて書き込まれるデータ電圧のために変化することになる。すなわち、縦方向にクロストークが発生したことになる。

【0016】図48の(a)においては、n+1列目とn+2列目には、同一のデータ電圧 $V_0$ が書き込まれる。n+1列目の液晶画素の保持電圧は、n+1列目とn+2列目のデータバスラインに印加されるデータ電圧

が変化しないから一定であるが、 $n+2$ 列目の液晶画素の保持電圧は $n+3$ 行目のデータバスラインに印加されるデータ電圧が変化するため、上記の数1の式の1項目はゼロであるが、 $n+3$ 列目のデータバスラインに印加されるデータ電圧が変化するため、数1の式の第2項の係数を $\alpha 2$ とすると、 $V_{c1}(n+3)$ は図示のようにデータ電圧に $\alpha 2$ を乗じた分だけ変化することになる。すなわち、横方向にクロストークが発生したことになる。

【0017】数1の式に示すように、クロストークの大きさには、画素の全容量に対するデータバスラインとの寄生容量の比が影響する。そのため、データバスラインとの寄生容量を低減すればクロストークを低減できる。そのため、専用の蓄積容量用電極を設けて画素の容量を増加させ、クロストークを低減することも行われているが、そのためには蓄積容量用電極を設けるスペースが必要であり、必然的に画素の開口部の面積を削減してそのようなスペースを確保する必要があり、画素の開口率が低下して表示輝度が低下するか、それを補うように照明光量を増加させる必要があり、消費電力の大きな高輝度光源が必要になるという問題が生じる。

【0018】特に、携帯用機器の低消費電力化の必要性が高まっており、携帯用機器に使用されるLCDでは低消費電力で且つ高輝度の表示が行えることが求められている。そのための方策の1つが画素開口率を向上させることである。図44に示した従来のアクティブマトリクス型LCDでは、ブラックマトリクス(BM)等の遮光膜を設けて、遮光膜の境界38で囲まれた領域を表示用の開口部としているが、画素電極は一方の基板に設けられ、遮光膜はもう一方の基板に設けられるため、画素電極と遮光膜の位置が合うように2枚の基板を配置しなければならない。現状の製造工程では、図44でaで示したフォトリソグラフィ工程における位置合わせに必要なマージンは $3\sim 5\mu m$ であり、bで示した基板同士の位置合わせに必要なマージンは $7\mu m$ である。そのため、LCDを高精細化するに従って画素ピッチも微細化されるため、画素ピッチに対するマージンの比率が大きくなり、画素開口率を大きくすることが困難であった。

【0019】このような問題を解決するため、図49に示すような高画素開口率型液晶表示装置が提案されている。図49の(a)は1画素の上面図であり、(b)は(a)においてA-A'で示す部分の断面図である。図示のように、画素電極17をデータバスライン12に重ねて形成し、データバスライン12を遮光膜として利用する。対向基板に設ける遮光膜は縦方向幅のみを規定する。これにより、画素開口率を大幅に向上させた明るいLCDが実現できる。

【0020】しかし、図49の高画素開口率型液晶表示装置においては、画素電極17が隣接するデータバスライン12と重なるように設けられているため、図45の

隣接するデータバスラインとの間の寄生容量が、図44の従来のアクティブマトリクス型LCDに比べて大きくなる。そのため、高画素開口率型液晶表示装置においては、クロストークが増大し、大きな問題になる。

【0021】本発明の目的は、たとえ画素電極と隣接するデータバスラインとの間の容量が大きくてもクロストークを生じないアクティブマトリクス型LCDの実現を目的とし、特に、高画素開口率型液晶表示装置を使用してもクロストークのない表示輝度の高い優れた表示品質で表示可能にすることを目的とする。

【0022】

【課題を解決するための手段】本発明の第1の態様のアクティブマトリクス型液晶表示装置(LCD)は、平行に配置された複数のデータバスラインと、この複数のデータバスラインに垂直に配置された複数の走査バスラインと、複数のデータバスラインと走査バスラインの交点に対応して配置され、それぞれが、画素電極と対応するデータバスラインの間に接続され、対応する走査バスラインに印加される走査パルス信号によって導通状態が制御されるスイッチング手段とを有する複数の液晶画素とを有する液晶パネルと、複数のデータバスラインのそれぞれに、各液晶画素に書き込むデータ電圧を印加するデータドライバと、複数の走査バスラインに走査パルス信号を順次印加する走査ドライバとを備える装置であり、上記目的を達成するため、データドライバは、走査パルス信号の印加サイクルの1周期内に、基準レベルに対して反転した正負両極性の信号を複数のデータバスラインのそれぞれに印加することを特徴とする。

【0023】図1は、本発明の第1の態様のLCDの原理を説明する図である。図1に示すように、極性制御信号に従って、データドライバは、走査パルス信号の印加サイクルの1周期内、すなわち、1水平走査期間(1H)内に、正負両極性の信号を複数のデータバスラインのそれぞれに印加する。例えば、図においては、1H内に正負の電圧をそれぞれ1回出力するとして、その1Hで書き込まれるデータ電圧と、このデータ電圧の強度の逆極性の電圧が出力される。ここでは対向電極の電位が0Vに固定されるものとして、正負逆極性に变化させている。コモン反転と呼ばれる対向電極の電位を变化させる場合には、対向電極の電位に対して、同じ強度の反転した電圧を出力するようにするが、以下の記載においては、説明を簡単にするために、図示のように対向電極の電位が0Vに固定され、1H内で正負逆極性の電圧を印加するものとして説明する。図では、書き込むデータ電圧は正であり、正のデータ電圧が出力されるのに合わせて走査信号が出力される。図中の保持電圧波形は、最初のサイクルで画素に書き込まれ保持された電圧の変化を示す。2番目のサイクルからデータバスラインに印加されるデータ電圧は増加するため、保持電圧はデータバスラインに印加される電圧の変化に応じて変化するが、各

1 H内で同一強度の反転した信号が出力されるため、最初のサイクルで保持された電圧を中心に変動することになる。このように、データバスラインに印加する電圧を1 H内で反転することにより、各データバスラインに印加される電圧は実効的に0 Vになり一定となるため、0 Vに固定されたのと同様になり、図48で説明した、既にかき込まれた画素の保持電圧が、その画素の接続されるデータバスライン及びその画素に容量結合されるデータバスラインに順次印加される電圧により変化するという問題は生じなくなる。

【0024】上記のように、この問題を解決するためには、各データバスラインに印加される電圧を実効的に0 Vにすればよく、図1に示したように、正負逆極性の電圧を等しい期間印加するのではなく、正負のそれぞれの極性で印加する電圧強度と印加する時間の積が等しくすれば、実効的に0 Vにできる。例えば、書き込むデータ電圧の逆極性の電圧を大きくして印加期間を短くしてもよく、極性の反転を複数回こなってもよい。

【0025】更に、図1では、各1 H内の前半に極性を反転した電圧を出力し、後半にかき込むデータ電圧を出力しており、走査パルスはデータ電圧が出力される後半に出力され、走査パルスの印加が終了する時点のデータ電圧が各画素に保持される。しかし、1 H内の前半にデータ電圧を出力し、後半に極性を反転した電圧を出力するようにしてもよく、その場合には前半に走査パルスが印加される。

【0026】上記のように、各データバスラインに印加される電圧を実効的に0 Vにすることにより、各画素に一旦書き込まれた保持電圧が容量結合されるデータバスラインに順次印加される電圧により変化するという問題は解決されるが、図45、図47及び数1式で説明した、走査パルスの印加終了及び書き込み時に容量結合されるデー

タバスラインへのデータ電圧の印加終了に起因するデータバスラインへの印加電圧と保持電圧に差を生じる問題については解決できない。

【0027】図2は、本発明の第1の態様のLCDにおける補正原理を説明する図であり、(1)は液晶画素の隣接するデータバスライン及び走査バスラインとの間の寄生容量を示し、(2)は補正量を説明する図である。ここでは、隣接するデータバスライン及び走査バスラインとの間の寄生容量についてのみ問題にするが、それ以外のデータバスライン及び走査バスラインとの間の寄生容量も無視できない程大きければそれらを考慮することが望ましいが、ここでは説明を簡単にするために、隣接するデータバスライン及び走査バスラインとの間の寄生容量についてのみ問題にする。

【0028】既に説明したように、印加電圧と保持電圧の差は、数1の式で表される。図2の(2)に示すように、走査パルスの印加終了に伴う差は、走査パルスの最大及び最小電圧が一定であるため、常に一定である。上記のように、走査パルスに起因する差は対向電極の電位を調整することにより打ち消すことができるので、ここでは走査パルスに起因する差は無視することとする。容量結合されたデータバスラインに印加される電圧の変化に伴う保持電圧の変動は、数1の式の第1項と第2項で表されるが、上記のように、本発明の第1の態様のLCDでは、データバスラインに印加される電圧は実効的に0 Vになるため、数1の式の $V_{2n}$ と $V_{2(n+1)}$ は0 Vであり、図2の(2)に示すように、データバスラインの印加電圧が0 Vに変化すると、それに伴う変動を考慮すればよい。従って、数1の式は、次のようになる。

【0029】

【数2】

$$\Delta V_n = \frac{CD_1}{CT} (-V_n) + \frac{CD_2}{CT} V'_{(n-1)}$$

$$= \alpha_1 V_n + \alpha_2 V'_{(n-1)}$$

【0030】数2の式において、 $\Delta V_S$ は一定であり、関係するデータバスラインの印加電圧 $V_n$ と $V_{(n-1)}$ は、書き込み時に判明しているため、それに基づいて変動値が算出でき、変動値分だけ補正した電圧をデータバスラインに印加することで、各画素に所望のデータ電圧を保持させることが可能になる。ここで、例えば、n列目の画素がn-1列目のデータバスラインと容量結合しており、1列目の画素は1列目のデータバスラインと容量結合している場合、n-1列目のデータバスラインに印加するデータ電圧を補正すると、n列目のデータバスラインに印加する電圧が影響される。そのため、補正電圧を算出する場合には、1列目の画素は1列目のデ

ータバスラインとのみ容量結合しているため、まず1列目のデータバスラインの補正電圧を算出し、2列目のデータバスライン以降は前の列の補正済の印加電圧に基づいて補正電圧を算出する。これをすべてのデータバスラインの印加電圧について順次行うことにより、1水平ライン分の補正電圧が得られる。もし、n列目の画素がn+1列目のデータバスラインと容量結合している場合には、逆方向から補正電圧を順次算出する。

【0031】また、数2の式において、各項の係数は装置に応じてあらかじめ判明しているが、数2の式に従って算出した $\Delta V_n$ の分だけデータバスラインの印加電圧を補正すると、その補正分に対して数2の式の第1項の

分の変動が生じる。そのため、正確な補正量を算出するには、補正分に対する更なる補正値を算出する処理を収束するまで繰り返す必要がある。

【0032】上記のように、正確な補正量を算出するために収束するまで処理を繰り返すのは処理時間が長くなるため、補正量を $\Delta V_n$ として次の方程式をたて、それを解いて $\Delta V_n$ を直接算出してもよい。

【0033】

【数3】

$$\Delta V_n = \alpha_1 (V_n + \Delta V_n) + \alpha_2 V' (n-1)$$

$$(1 - \alpha_1) \Delta V_n = \alpha_1 V_n + \alpha_2 V' (n-1)$$

$$\Delta V_n = \frac{\alpha_1}{1 - \alpha_1} V_n + \frac{\alpha_2}{1 - \alpha_1} V' (n-1)$$

【0034】その場合の補正電圧の算出式は次のようになる。

【0035】

【数4】

$$V_n' = V_n + \Delta V_n$$

$$= \frac{1}{1 - \alpha_1} V_n + \frac{\alpha_2}{1 - \alpha_1} V' (n-1)$$

$$= \alpha V_n + \beta V' (n-1)$$

【0036】図3と図4は、本発明の第2の態様のLCDの動作原理を示す図である。本発明の第2の態様のLCDでは、データバスラインにデータ電圧を出力する期間 $T_{on-data}$ を1Hより短くし、1H内にデータバスラインに印加される電圧が所定の電圧値になる $T_{off-data}$ 期間を設けることを特徴とする。各走査バスラインに対する走査パルスの印加は、 $T_{on-data}$ 中に終了する。 $T_{off-data}$ 期間にデータバスラインに印加される電圧は、図3のようにデータバスラインに印加される電圧の最大値と最小値の平均値であっても、図4のように走査パルスのオフ電位に近い電圧であってもよい。

【0037】本発明の第2の態様のLCDでは、各データバスラインに印加される電圧が一定値である期間が存在するため、データバスラインに印加される電圧の時間平均値が表示データに依存して変動する度合いを低減でき、その分補正が容易になる。従って、 $T_{off-data}$ 期間を長くするほど、データバスラインに印加される電圧の時間平均値は $T_{off-data}$ 期間にデータバスラインに印加される電圧に近づくため、 $T_{off-data}$ 期間中にデータバスラインに印加される電圧に関係する表示パターンによる影響が低減され、クロストークも低減される。

【0038】図5は、TFTのゲート電圧 $V_G$ に対する電流 $I_D$ 特性を示す図である。(1)は電圧・電流の条

件を示し、(2)は特性を示す。NチャンネルTFTの場合、ソース電圧として0Vを、ドレイン電圧として0Vより高い定電圧を与え、ゲート電圧 $V_G$ を変化させた時の電流特性を示し、PチャンネルTFTの場合、ソース電圧として0Vを、ドレイン電圧として0Vより低い定電圧を与え、ゲート電圧 $V_G$ を変化させた時の電流特性を示す。いずれの場合も、ドレインとソース間に流れる電流量に極小値が存在し、図5の例では、約0V付近になっている。例えば、NチャンネルTFTを使用した従来例では、図45の(2)に示すように、TFTをオフ状態にする時、走査パルスは画素電圧より十分に下がった電圧であり、データバスラインに印加される電圧と画素電圧のいずれがソース電圧になってもTFTのゲート電圧は大幅に低くなった状態であり、大きな電流が流れることになり、画素に保持される電圧の保持特性を悪くしていた。

【0039】 $T_{off-data}$ 期間にデータバスラインに印加される電圧を図4のように走査パルスのオフ電位に近い電圧にすれば、 $T_{off-data}$ 期間中にTFTに流れる電流を非常に小さくできるため、画素に保持される電圧の保持特性が改善され、表示精度を向上させることができる。

【0040】

【発明の実施の形態】図6は本発明の第1実施例のアクティブマトリクス型液晶表示装置(LCD)の構成を示す図である。図6において、参照番号101は液晶表示装置であり、102は液晶表示装置101で表示する表示データを生成する表示データ生成装置であり、例えば、パーソナルコンピュータやテレビジョン受像機である。1は液晶パネル、2は液晶パネル2のデータバスラインに印加するデータ信号を出力するデータドライバ、3は液晶パネル1の走査バスラインに順次印加する走査パルスを出力する走査ドライバ、4は表示データ生成装置4から表示信号を受け取って表示データを抽出すると共に垂直同期信号 $V_{SYNC}$ と水平同期信号 $H_{SYNC}$ 及びクロック信号を生成する制御部である。データドライバ2は、ドライバ21と、制御部4から表示データを受け取って正確な表示を行うための補正値を算出する補正値算出部22と、補正値算出部22で算出した1ライン分の補正値を保持する補正データ保持部23と、制御部4から $H_{SYNC}$ とクロック信号を受け取り各画素に書き込むデータ信号の極性を制御すると共に1H内でデータ信号を反転するための制御を行う極性制御部24とを備える。

【0041】図7は第1実施例の液晶パネル1における画素配置を示す図である。図示のように、液晶パネル1にはN本のデータバスライン12があり、液晶画素がN列配置されている。第1列目の画素は1本目のデータバスラインの左側に配置され、1本目のデータバスラインとの間の寄生容量は大きい、それ以外のデータバスラ

インとの間の寄生容量は無視できるほど小さい。第2列目以降の $n$  ( $2 \leq n \leq N$ ) 列の画素は、 $n-1$ 本目と $n$ 本目のデータバスラインとの間に同程度の大きな寄生容量を有しており、それ以外のデータバスラインとの間の寄生容量は無視できるほど小さい。従って、図2で説明した隣接するデータバスラインの印加電圧の変化によるデータ電圧と保持電圧の差の補正は、第1列目の画素については1本目のデータバスラインとの間の寄生容量を対象として、第2列目以降の画素については両側のデータバスラインとの間の寄生容量を対象として行う。

【0042】図8は第1実施例のLCDにおける動作を示すタイムチャートである。図示のように、1水平表示期間(1H)内を前半と後半に分け、データドライバ2は各行に書き込むデータ電圧を前半に出力し、後半は前半に出力されたデータ電圧を反転して出力する。走査ドライバ3は、前半に走査パルスを出力する。各行の画素に書き込むためにデータドライバ2がデータバスラインに出力するデータ電圧は、図2で説明した補正された電圧である。補正值算出部22は、1H内に次の行に書き込むデータ電圧の補正值を算出して補正データ電圧を出力し、補正データ保持部23は補正值算出部22が出力する1行分の補正データ電圧を順次保持し、1行分の補正データ電圧が揃った時点で内部のラッチ回路に移して保持し、次の1Hが開始されると同時にドライバ21に出力する。更に、1Hの後半部では、ラッチ回路に保持した1行分の補正データ電圧を反転させてドライバ21に出力する。この時、補正データ保持部23は補正值算出部22が出力する次の行の補正データ電圧を順次保持する動作を平行して行う。データドライバ2が前半部で出力するデータ電圧と後半部で出力する電圧は強度の絶対値が等しく、極性が反転されているため、図1で説明したように、データバスラインに印加される電圧の実効値は0Vになる。

【0043】図8には、 $m$ 行目の画素の保持電圧の変化を示してある。各画素に保持される電圧は、 $V_{sync}$ で規定される1画面表示(1フレームサイクル)毎に反転する必要があるため、図示のように、 $m$ 行目の画素の保持電圧は、それまで保持している電圧と逆極性の電圧が書き込まれる。保持電圧は隣接するデータバスラインに印加される電圧の変化に応じて変動するが、上記のように、データバスラインに印加される電圧の実効値は0Vであるから、1フレームサイクル時間での変動は生じない。

【0044】次に、第1実施例における補正值算出部22について詳しく説明する。既に説明したように、数2の式に従って、データバスラインに印加するデータ電圧と保持電圧の差を算出し、その差の分だけデータ電圧を補正すると、補正した分に対して更に差が生じる。そのため、この差が収束するように差の算出計算を繰り返す必要がある。

【0045】図9は、第1実施例における補正值の算出方法を説明する図である。既に決定された $n-1$ 列目の印加電圧を $V(n-1)$ 、 $n$ 列目の印加電圧を $V_n$ とし、 $n$ 列目の画素に生じるデータ電圧と保持電圧の差が数2の式に従って算出されるとする。 $n$ 列目のデータバスラインに $V_n$ を印加したとすると、目標とする電圧 $V_n$ に対して、数2の式で表される $\Delta V_n (= \alpha 1 V_n + \alpha 2 V(n-1))$ の差が生じる。この差が生じても保持電圧が、所望の電圧 $V_n$ になるように補正する。補正值の算出は $V_n$ 自体の影響による補正を行ない、その後 $V(n-1)$ の $V_n$ への影響を補正する2段階で行なう。 $V(n-1)$ の影響がないものとする、印加電圧を $V_n$ とすると $-\alpha 1 \cdot V_n$ のずれが生じ、保持される電圧は $V_n - \alpha 1 \cdot V_n$ になる。このようなずれを補正するため、印加電圧を $V_n + \alpha 1 \cdot V_n$ とすると、 $-\alpha 1 V_n - \alpha 1^2 V_n$ のずれが生じ、保持される電圧は $V_n - \alpha 1^2 V_n$ になる。このような補正を $m$ 回繰り返すと、保持される電圧の $V_n$ との差は $\alpha 1^{m+1} \cdot V_n$ となる。 $\alpha 1$ は1より小さいので補正を適当な回数繰り返すと、その差は無視できる程小さくなる。差が充分に小さくなった時に $V_n$ 自体の影響による補正を終了し、次に $V(n-1)$ の影響の補正を行なう。 $V(n-1)$ の影響の補正では、 $V_n$ 自体の影響を補正する値に $\alpha 2 \cdot V(n-1) / (1 - \alpha 1)$ を加える。これにより補正值が得られる。図では $V_n$ 自体の影響を補正する上記の補正を2回繰り返した例を示してある。いずれにしる $V_n$ 自体の影響を補正する処理を $m$ 回繰り返し、 $V(n-1)$ の影響を補正すると、所望の電圧 $V_n$ と実際に保持される電圧の差は $\alpha 1^{m+1} \cdot V_n$ になる。

【0046】図10は、上記のような補正データ電圧の算出を行うための補正值算出部22の構成を示す図である。図10において、参照番号221は制御部4から表示データを受け取り、極性制御部24からの信号に従って、表示データに極性情報を付加する極性情報付加部であり、222は制御部から出力される表示データの出力タイミングに対応したラッチ信号に従って極性情報付加部221の出力をラッチして保持する第 $n$ 列データ保持部であり、223は第 $n$ 列の補正済データを上記のラッチ信号に従って保持する第 $n-1$ 列データ保持部であり、224は第 $n$ 列データ保持部222の出力に補正值を加算して $V_n$ 自体による補正を行った補正電圧を生成する補正值加算部であり、225は補正值加算部224からの出力に $\alpha 1$ を乗じて $V_n$ 自体による補正值を出力する第1減衰部であり、226は第 $n-1$ 列データ保持部223の出力に $\alpha 2 / (1 - \alpha 1)$ を乗じて $V(n-1)$ に対する補正值を出力する第2減衰部であり、227は $V_n$ 自体によるずれが充分に小さくなるように補正された補正值加算部224の出力に $V(n-1)$ の補正分である第2減衰部226の出力を加える隣接表示データ加算部であり、228は極性制御信号に従って最終的

な補正済データに必要に応じて極性反転処理を施す極性反転部である。

【0047】補正值加算部224と第1減衰部225のループは、 $V_n$ 自体の影響を補正する補正データを算出する。ループを繰返回数が多いほど誤差は小さくなるが、演算時間等を考慮してループでの繰返回数を決定する。印加電圧がアナログ信号であれば、図10の補正值を算出する回路は、オペアンプ等を使用して容易に構成可能であり、上記のループでの繰返しも短時間で済むため、簡単な回路で高精度の補正值が得られる。

【0048】第 $n-1$ 列データ保持部223は補正済のデータを保持し、保持されたデータが前のデータバスラインに印加されるデータ電圧 $V(n-1)$ として使用される。第1列の補正データを算出する時には、容量結合されるデータバスラインは第1本目のデータバスラインだけであるから、第 $n-1$ 列データ保持部223のデータをゼロに設定して演算を行う。2列目以降については、第 $n-1$ 列データ保持部223に保持された前の列の補正済のデータと、第 $n$ 列データ保持部222に保持されたデータに基づいて補正データを算出する。

【0049】図52は、第1実施例において補正值を算出する別の方法を説明する図である。ここでは、 $V_n$ の $V(n-1)$ の影響を別々に算出するのでなく、まとめて補正值を算出する。 $V(n-1)$ が既に決定されており、 $n$ 列目に $V_n$ の電圧を保持させようとして $V_n$ を印加するとそのずれ $\Delta V_n$ は数2の式で表わされる。このずれ分だけ補正する処理を繰り返すと、保持される電圧は図のように変化し、上記のようにこのような補正を $m$ 回繰り返すとそのずれは $\alpha 1^m \cdot \Delta V$ となり、ある程度以上補正を繰り返すとずれは十分に小さくなる。この時の印加電圧は、図示ようになる。

【0050】図53は、図52の補正方法を実行する回路を示す図である。加算器274と $\alpha 1$ 乗算器275で構成されるループを繰り返すことにより補正データが得られる。ここではこれ以上の詳しい説明は省略する。第1実施例においては、図8に示すように、1H内でデータ電圧が出力される期間とその反転された電圧が出力される期間は等しく、反転された電圧は絶対値がデータ電圧に等しく逆極性である。これによりデータ電圧の実効電圧は0Vになるが、他の方法でもデータ電圧の実効電圧を0Vにすることが可能である。その例を第2実施例で説明する。

【0051】第2実施例のLCDは、第1実施例のLCDと同じ構成を有し、データ電圧の印加波形のみが異なるので、ここではデータ電圧の印加波形についてのみ説明し、他の部分の説明は省略する。図11は、第2実施例のLCDにおけるデータ電圧の印加波形を示す図である。本実施例では、書き込み期間の時間を補正期間( $2t_0$ )の2倍( $4t_0$ )にすると共に、補正期間を更に正負の2つの期間に分割する。書き込み期間 $4t_0$ の間

に印加するデータ電圧を $V1_n$ とすると、正の補正期間には $2V1_n$ を印加し、負の補正期間には $-6V1_n$ を印加する。これにより、1H内にデータバスラインに印加される実効電圧は0Vになる。このように、補正期間に印加する電圧とその印加期間を適当に設定することにより、1H内にデータバスラインに印加される実効電圧を0Vにすることが可能である。この場合、書き込み期間に印加するデータ電圧 $V1_n$ は、補正されたデータ電圧である。

【0052】このようにすることにより、一旦画素に書き込まれ保持された電圧は、非選択期間においても保持され、表示パターンに依存して乱れることがなくなるのはもちろんのこと、書き込み期間を長くすることができるため、TFTの書き込み性能に対する要求を緩和することができる。従って、デバイス性能があまり高くない場合等にも本発明を適用することができ、クロストークのないLCDを実現することができる。

【0053】第2実施例では、補正期間にデータ電圧と同じ極性の電圧を印加する期間を設けたが、かならずしもこのような期間を設ける必要はなく、例えば、この期間を無くして、逆極性の電圧を $-4V1_n$ にしてもよいのはいうまでもない。図12は、第3実施例のLCDにおけるデータ電圧の印加波形を示す図である。第3実施例のLCDは、第2実施例と同様に、第1実施例のLCDと同じ構成を有し、データ電圧の印加波形のみが異なる。

【0054】第3実施例では、画素に書き込んで保持するデータ電圧の極性を、行毎に変化させる「1H反転」と呼ばれる方式を使用する。そのため、画素に書き込んで保持するデータ電圧の極性を示す行・列極性制御信号は1H毎に変化する。データバスラインに印加される電圧の極性を示す極性制御信号も同様に1H毎に変化するが、行・列極性制御信号に対して $1H/2$ だけシフトした信号になる。この実施例では、1H内の前半を反転したデータ電圧を印加する補正期間とし、後半を画素に書き込むデータ電圧を印加する書き込み期間とし、図示していないが、後半に走査パルスが印加される。図示の例では、データ電圧の絶対値は徐々に大きくなるため、1Hの期間が終了して次の1Hの期間に移る時、データバスラインに印加される電圧は多少変化するが、同じ極性であるため、データバスラインに印加される電圧の変化周期はほぼ2Hになる。図1や図8のデータバスライン電圧波形ではデータバスラインに印加される電圧は1Hの周期で変化していたのに比べて、本実施例ではデータバスラインに印加する電圧の周波数を半分にできるため、データドライバ2やTFT等の動作性能に対する要求を緩和することができる。これにより、デバイス性能があまり高くない場合等にも本発明を適用することができるほか、消費電力を低く抑えることが可能になる。もちろん、各画素に所望の電圧が維持されクロストークが

なくなるため、高精度の表示が可能である点は第1実施例と同じである。

【0055】第1実施例におけるデータ電圧の補正については図9及び図10で説明したが、他の補正方法も可能であり、次の実施例でそれを説明する。第4実施例のLCDは、第1実施例のLCDと同じ構成を有し、補正值算出部22の構成のみが異なる。従って、補正值算出部についてのみ説明し、他の部分の説明は省略する。

【0056】図13は、第4実施例のLCDの補正值算出部の構成を示す図である。既に説明したように、数4の式を使用することにより、繰返し計算を行わなくても補正データ電圧を直接算出することが可能である。第4実施例のLCDの補正值算出部は、数4の式を使用して補正データを算出する。図13において、参照番号231は制御部から入力される表示データ $V_n$ を $\alpha$ 倍する $\alpha$ 乗算器であり、232は補正済の表示データを $\beta$ 倍する $\beta$ 乗算器であり、233は $\alpha$ 乗算器231の出力と $\beta$ 乗算器232の出力を加算する加算器であり、234はクロック信号を反転するインバータである。

【0057】図14は図13に示した第4実施例の補正值算出部の動作を示す図である。クロック信号は制御部からデータドライバに表示データを転送する速度に同期した信号であり、クロック信号の立ち上がりに同期して表示データ $V_n$ が送り込まれる。動作開始時には、加算器233の出力はリセットされゼロとされる。1列目の表示データが入力されると、 $\alpha$ 乗算器231の出力は $\alpha V_1$ となり、 $\beta$ 乗算器232の出力はゼロになる。クロック信号の立ち下がりに同期して加算器233が入力されているデータを加算すると、その出力は $\alpha V_1$ になる。これが第1列目の補正データ $V_1'$ になる。この補正データは $\beta$ 乗算器232にフィードバックされるので、次のクロックの立ち上がりに同期して、 $\alpha$ 乗算器231の出力は $\alpha V_2$ となり、 $\beta$ 乗算器232の出力は $V_1'$ になる。同様に、クロック信号の立ち下がりに同期して加算器233が入力されているデータを加算すると、その出力は $\alpha V_2 + \beta V_1'$ になる。これが第1列目の補正データ $V_2'$ になる。このようにして、第4実施例の補正值算出部では、1クロック周期の遅れで、次々に補正データ電圧を算出して出力する。

【0058】第4実施例では、1クロックの半周期で $V_n$ と $V_{n-1}'$ をそれぞれ $\alpha$ 倍と $\beta$ 倍し、残りの半周期で加算を行っている。そのため、それぞれの演算を1クロックの半周期で終了させる必要があり、ある程度高速の素子を使用する必要がある。そこで、演算の速度を低下させて低速の素子でも使用できるようにしたのが第5実施例である。

【0059】図15は第5実施例における補正值算出部の構成を示す図であり、他の部分は第4実施例と同じである。また、図16は、第5実施例の補正值算出部の動作を示す図である。数4の式を更に展開すると、数5の

式になる。

【0060】

【数5】

$$V_n' = \alpha V_n + \alpha \beta V_{(n-1)} + \beta^2 V_{(n-2)}$$

【0061】図15の回路において、すべての素子はクロック信号の立ち上がりに同期して動作する。データラッチ243は、 $\alpha \beta$ 乗算器242で $\alpha \beta$ 倍された表示データを1クロック周期分遅延させるので、 $\alpha \beta V_{(n-1)}$ を出力することになる。また、 $\beta^2$ 乗算器242は補正された表示データを1クロック周期分遅延させた上で $\beta^2$ 倍し、その出力はデータラッチ245で更に1クロック周期分遅延されるため、データラッチ245は $\beta^2 V_{(n-2)}$ を出力することになる。従って、図15の回路の各部の出力は図16のようになる。図16では、各部の演算は1クロック周期で行われており、第4実施例に比べて演算速度の遅い素子を使用でき、使用するタイミングもクロック信号の立ち上がりタイミングのみであるから、集積回路化が容易である。

【0062】第1、第4及び第5実施例では演算を行うことにより補正データ電圧を算出したが、数4の式によれば、 $n$ 列目の補正電圧 $V_n'$ は、 $V_n$ と $V_{(n-1)'}$ から算出することができるので、 $V_n$ と $V_{(n-1)'}$ を変数とする2次元のルックアップテーブルに対応する補正電圧を記憶しておけば、 $V_n$ と $V_{(n-1)'}$ を与えるだけで、補正データ電圧を得ることが可能である。第6実施例は、ルックアップテーブルを利用して補正データ電圧を得るようにした例である。

【0063】図17は第6実施例の補正值算出部の構成を示す図である。図17において、261と263はデータラッチであり、262はルックアップテーブルを形成する読み出し専用メモリ(ROM)である。メモリ内には $V_{(n-1)'}$ を下位アドレスとし、 $V_n$ を上位アドレスとして数4の式に従って演算した結果をあらかじめ書き込んでおく。補正済データをデータラッチ263で保持し、制御部から入力された $V_n$ をデータラッチ261で保持し、それらの出力をアドレス入力としてROM262をアクセスすれば補正データ $V_n'$ が出力される。

【0064】なお、数4の補正式に加えて、階調・輝度特性を補正する $\gamma$ 特性の補正を合わせて行った補正データをROMに記憶させることにより、それらの補正を同時に行うことも可能である。既に説明したように、従来のLCDは、図44に示すような画素構成を有しているが、これでは開口率を十分に大きくできないという問題があり、図49に示すようなデータバスラインや走査バスライン等の信号線が遮光膜を兼用するようにした高画素開口率型の液晶表示装置が提案されている。しかし、図49に示すような高画素開口率型の画素の場合、画素と隣接するデータバスラインとの間の寄生容量が大きくなり、クロストークが大きくなるという問題があった。

図49の画素構成であれば、図44の画素構成に比べて対向基板に設けた遮光膜（BM）領域が少ないため、開口率を大きくできる。TFTやバスラインが設けられる基板（以下、TFT基板）上でのプロセスマージンは $3\mu\text{m}$ 以下であるのに対して、BMのプロセスマージンは $7\mu\text{m}$ 程度であり、BM領域をいかに少なくするかが開口率向上のポイントである。しかし、図49に示した画素構成は、ITO薄膜とデータバスライン間に絶縁膜を挟み込んである立体構成であるため、画素電極とデータバスラインに大きな容量が形成され、これが寄生容量になってクロストークを大きくしていた。

【0065】しかし、第1実施例から第6実施例で説明したように、1H内でデータ電圧を反転させ、データバスラインに加えられる電圧を実効的に0Vにすることにより、クロストークの問題は解決できる。また、データバスラインに印加される電圧と実際に画素に保持される電圧に差が生じる問題は、走査パルスの印加終了に伴う走査バスラインの電圧変化と、データバスラインに印加される電圧変化の両方が影響する。走査バスラインの電圧変化により生じる差は、走査パルスが一定であるためそれにより生じる差は一定であり、データ電圧をその差に対応する分だけ補正することにより解決できる。更に、上記のようにデータバスラインに加えられる電圧を実効的に0Vにする場合には、データバスラインに印加するデータ電圧の変化により生じる差は、書き込み時に印加されるデータ電圧が0Vに変化するとして補正することによって解消できる。従って、上記の実施例で説明したような、1H内でデータ電圧を反転させてデータバスラインに加えられる電圧を実効的に0Vにすると共に、書き込みのためにデータバスラインに印加するデータ電圧を補正する構成であれば、図49に示すような高画素開口率型の液晶表示装置を使用してもクロストークを生じさせずに強度を正確に表示できる。すなわち、本発明の第1の態様は、図49に示すような高画素開口率型の液晶表示装置に適用した時に特に効果的である。

【0066】しかし、図44及び図49に示した画素構成は、いずれもBMを必要としているため、開口率を更に向上させることは難しかった。しかし、バスラインとの寄生容量は増加しても、本発明によりクロストーク等の問題は解決できるので、寄生容量の増加を考慮せずに開口率を更に向上させた画素構成の実施例を説明する。

【0067】基本的には、BMで遮光していた領域を半導体や金属、例えば、データバスラインと同種類の材料を用いて遮光し、その一端を画素電極が接続されているTFTのドレインかデータバスラインに接続する。この新たに設けた遮光膜と画素電極の重なりにより、寄生容量が形成されるが、本発明を適用することにより問題は生じない。このように構成することにより、例えば、開口率を30%から40%に約10%程度改善することができる。

【0068】次の実施例は、ポリシリコンを活性層としたTFTを有するLCDであり、まずポリシリコンTFTを用いた画素構成について説明する。図18は、ポリシリコンを活性層としたTFTを有するLCDの画素構成を示す図であり、(1)は平面図を、(2)はTFT部分の断面図である。このような画素構成のプロセス工程を説明する。

【0069】ポリシリコンTFTを用いた場合の層構成は、図18の(2)に示すように、ガラス（サファイア）基板11、ポリシリコン14、15、16、酸化膜20、走査バスライン（ゲートアルミ）13、第1絶縁膜18、データバスライン（データアルミ）12、第2絶縁膜19、及び画素電極17となっている。ここで、図18の(1)に示した第1コンタクト31は、データバスライン12とポリシリコン15を接続するために設けてあり、第2コンタクト32は、画素電極17とポリシリコン16を接続するために設けてある。次の実施例では、このポリシリコンを遮光膜として使用する。

【0070】図19は第7実施例の画素構成を示す図である。第7実施例においては、画素電極17に接続されるポリシリコン、すなわち、TFT14のソースに相当するポリシリコン16を図19のように延ばし、隣接するデータバスライン12'に接続されるポリシリコン、すなわち、TFTのドレインに相当するポリシリコン15'を図19のように延ばす。但し、これらのポリシリコンの間には接触しないようにある程度の間隔、例えば $3\mu\text{m}$ 程度の間隔にする。この部分を遮光するために、BM35を設ける。

【0071】また、ポリシリコンはドーピングすればシート抵抗は画素電極と同等になるためポリシリコン電極がフローティングになることはない。更に、ポリシリコン膜は半透明のデバイスであるがプロセスの工夫、例えば膜厚を厚くする、結晶性を悪くする等すれば不透明になるので問題は生じない。また、図19中で、画素電極17に接続されたポリシリコンを隣接するデータバスライン12'に接触しないように延ばせば、そのポリシリコンは画素電位と同等になり、液晶へある程度電圧をかけられるため、不透明でもよい。

【0072】更に、電圧を印加しない状態で白表示になるノーマリホワイト表示方式では、前述したポリシリコンの透明度が問題になるが、電圧を印加しない状態で黒表示になるノーマリブラック表示方式であれば全く問題を生じない。更に、BMの代わりに近隣の走査バスライン13を延ばしてもよい。図20は第8実施例の画素構成を示し、図21は第9実施例の画素構成を示す。

【0073】第8実施例と第9実施例では、データバスライン12を形成するデータアルミを用いて遮光する。第8実施例では、当該画素にデータ電圧を供給するデータバスライン12から図示のように画素電極17に沿って画面上で水平方向にデータアルミ121を延ばして遮

光する。第9実施例では、画素に隣接するデータバスライン12'から図示のように画素電極17に沿って画面上で水平方向にデータアルミ121'を延ばして遮光する。いずれの場合も、データバスライン同士が電氣的に接触することはできないため、図示の位置にBM35を設ける。データバスラインを形成するデータアルミは、不透明なデバイスであるため、ノーマリホワイト表示方式、ノーマリブラック表示方式のいずれの場合でも問題は生じない。

【0074】以上、ポリシリコン又はデータアルミを利用して遮光する実施例を説明したが、走査バスラインのアルミ層を利用することも可能である。更に、それらを組み合わせて遮光を行うことも可能である。その例を第10実施例に示す。図22は、第10実施例の画素構成を示す図である。第10実施例においては、図19に示した隣接画素のTFTを構成するポリシリコンの延長部15'と、当該画素のデータバスライン12から延びるデータアルミ121を重なるように形成して遮光を行う。重なるように形成されるため、BMは必要ない。

【0075】第7から第10実施例で説明した画素構成を使用すれば開口率を高くすることが可能である。このような画素構成では隣接するデータバスライン及び走査バスラインとの結合容量が増大するため、従来のLCDではクロストークが増大し、各画素が正確な電圧を保持するのが難しかったため使用できなかった。しかし、1H内でデータ電圧を反転させてデータバスラインに加えられる電圧を実効的に0Vにすると共に、書き込みのためにデータバスラインに印加するデータ電圧を補正する本発明の構成を使用すれば、このような問題を解決することができるため、このような高開口率の画素構成を使用することが可能である。

【0076】従来のデータドライバは、液晶パネルのデータバスラインのすべてに同時にデータ電圧を印加していた。これに対して、データバスラインを順次選択（アドレッシング）しながら選択したデータバスラインに順次データ電圧を印加する点順次型データドライバが提案されている。図23は、第7乃至第10実施例及び図49に示した隣接するデータバスラインとの結合容量が大きい液晶パネルに点順次型データドライバ2を適用した従来例の構成を示す図である。図においては、走査バスラインと走査ドライバは省略してあり、第1行の走査バスラインが選択され、それに接続される画素TFTがオンとなり、他の行の走査バスラインは非選択となっている場合を示している。ここでは、シフトレジスタを用いた点順次型データドライバの例を示してあるが、デコーダ型等も可能である。

【0077】図23の点順次型データドライバ2は、カスケード接続されたフィリップフロップの各出力が入力バスとデータバスラインの間のスイッチング素子を制御する。スイッチング素子が接続されると、データバスラ

インの容量（寄生容量や意図的に設けた保持容量等の合計容量）にデータ電圧が書き込まれ、更にオンになっているTFTを通して画素容量に書き込み・保持が行われる。なお、この例では同時に書き込まれるデータバスラインは1本であるが、この他にすべてが同時に書き込まれるのではないが、複数のデータバスラインに同時にデータ電圧を書き込むように構成したものもある。

【0078】図24は図23のLCDの動作を説明する図である。図24に示すように、クロック信号に同期してパルスS1、S2、…がシフトしてスイッチ素子42を順次オン状態にする。これに同期して、データ電圧VDが供給され、各データバスラインの容量にデータ電圧VDが保持される。シフトパルスが通過すると、スイッチ素子42はオフ状態になり、データバスラインはフローティング状態になり、書き込まれたデータ電圧VDが保持される。すべてのデータバスラインに1行分のデータ電圧が保持された時点で、その行の走査バスラインに対する走査パルスの印加が停止され、次に走査パルスが印加されるまで書き込まれた電圧が維持される。

【0079】図23のLCDは、上記のように各画素と隣接するデータバスラインとの結合容量が大きいため、クロストークの問題が発生する。クロストークの第1の現れ方は、図48で説明したようなデータバスラインに印加されるデータ電圧が順次変化するために生じる縦方向のクロストークである。第2の現れ方は、印加されるデータ電圧が隣接するデータバスラインに印加される電圧に影響されるという横方向のクロストークである。図47で説明したように、従来のデータドライバを使用する場合には、横方向のクロストークには隣接するデータバスの電位変化が影響するが、点順次型データドライバを使用する場合には、近傍の多数のデータバスラインの電位の変化が影響することになる。これは、従来のデータドライバを使用する場合には、書き込み時に各データバスラインにはそれぞれデータドライバの駆動回路が接続され、それぞれを特定の電位に保つ機能があったのに対して、点順次型データドライバでは、書き込まれるデータバスライン以外はフローティング状態になるため、非選択状態のデータバスラインは直列に容量結合された状態にあり、1本のデータバスラインでの電圧変化は次々に伝搬するためである。各画素と隣接するデータバスラインとの結合容量が大きいLCDにおいても点順次型データドライバを使用することが望まれているが、これまではクロストークの問題のために使用が難しかった。次に、このようなLCDにおいて点順次型データドライバを使用してもクロストークの問題が生じないようにした実施例を説明する。

【0080】図25は、第10実施例のLCDの構成を示す図である。図25においても図23と同様に、走査バスラインと走査ドライバは省略してあり、第1行の走査バスラインが選択され、それに接続される画素TFT

がオンとなり、他の行の走査バスラインは非選択となっている場合を示している。本実施例では、まず点順次型に特有のデータバスラインの電圧変化が多数のデータバスラインに影響する現象を、従来のデータドライバを使用したのと同様に隣接するデータバスラインだけに影響するように押さえ込み、その上で、これまでの実施例で説明したように、データ電圧を補正して印加すると共に1 H内でデータバスラインに印加する電圧を反転させて実効的に0 Vにする。従って、本実施例においても、印加するデータ電圧の補正と1 H内でデータバスラインに印加する電圧を反転させて実効的に0 Vにすることをやっているが、これはこれまで説明した実施例と同様に行われるので、ここでは説明を省略する。1 H内でデータバスラインに印加する電圧を反転させる場合、図1、図8及び図11等のように、書き込み期間と補正期間を設け、書き込み期間には選択する走査バスラインに走査パルス印加してTFTをオンさせた上でデータバスラインに順次データ電圧を印加し、補正期間には走査バスラインへの走査パルスの印加を停止してTFTをオフさせた上でデータバスラインに順次反転したデータ電圧を印加する。従って、ここでは、データバスラインにデータ電圧を順次印加する部分についてのみ説明する。

【0081】データバスラインの電圧変化が多数のデータバスラインに影響する現象を隣接するデータバスラインだけに影響するように押さえ込むため、本実施例では、次に選択するデータバスラインにもデータ電圧を印加しながら、選択するデータバスラインを1本ずつシフトしながらデータ電圧を印加して保持させる。そのために、図示のように、入力バスを2本設け、スイッチ素子42を介して交互にデータバスラインに接続する。

【0082】図26は、第10実施例の点順次型データドライバの動作を示す図である。図示のように、シフトパルスは2クロック周期の幅を有し、1クロック周期づつシフトする。これにより、1個目のスイッチ素子がオン状態になってから1クロック周期後に2個目のスイッチ素子がオン状態になり、更に1クロック周期後に1個目のスイッチ素子がオフ状態になると同時に3個目のスイッチ素子がオン状態になる。奇数番目のデータバスラインは対応するスイッチ素子を介して第1の入力バスに接続され、偶数番目のデータバスラインは対応するスイッチ素子を介して第2の入力バスに接続され、それぞれの入力バスには接続されるスイッチ素子に供給されるシフトパルスに同期してデータ電圧が供給される。これにより、1個目のスイッチ素子がオン状態になって、第1の入力バスのデータ電圧が1本目のデータバスラインに印加され1列目の画素もこのデータ電圧になる。その1クロック周期後、2個目のスイッチ素子がオン状態になって、第2の入力バスのデータ電圧が2本目のデータバスラインに印加される。この電圧変化があっても、1本目のデータバスラインは第1の入力バスに接続されてい

るため、そのデータ電圧は影響されない。更に1クロック周期後、シフトパルスS1がオフ状態になると1個目のスイッチ素子がオフ状態になってその時点で1本目のデータバスラインに印加されている電圧が保持されることになる。この時、2個目のスイッチ素子がオン状態になって、第2の入力バスのデータ電圧が2本目のデータバスラインに印加されている。そのため、更に1クロック周期後に2個目のスイッチ素子がオフ状態になって、2本目のデータバスラインの電圧が保持される時には、2本目のデータバスラインでは電圧変化を生じないため1本目のデータバスラインに保持された電圧は変化しないことになる。同様に、3個目のスイッチ素子がオフ状態になる時にも、3本目のデータバスラインでは電圧変化を生じないため2本目のデータバスラインに保持された電圧は変化しない。3個目のスイッチ素子がオン状態になると、3本目のデータバスラインの電圧が変化するが、その時点では、2本目のデータバスラインは第2の入力バスに接続されており、2本目のデータバスラインの電圧が変化するのではないため、1本目のデータバスラインの電圧は変化しない。このように、書き込み順において後方にあるデータバスラインの電圧変化は、すでにデータバスラインに書き込まれて保持された電圧には影響しない。データバスラインに印加されるデータ電圧は、もちろん補正された電圧である。

【0083】書き込み順において後方にあるデータバスラインに保持されている電圧は、前方のデータバスラインで生じる電圧変化の影響を受けるが、その影響を受ける期間は最長でも1 Hであり、書き込みのためのデータバスラインでの電圧変化は書き込みの終了した前方のデータバスラインには影響しないため、1行分の書き込みを行った時点ではすべてのデータバスラインは所望のデータ電圧になっており、その時点で走査パルスの印加を停止すれば、各画素に所望のデータ電圧を保持させることができる。

【0084】従って、本実施例の構成を使用すれば、画素電極とデータバスラインの間で容量結合された構造に点順次型データドライバを組み合わせた構成であっても、クロストークを生じることがない良好な表示品質のLCDが提供できる。なお、既に説明したように、本実施例ではデータドライバ内のアドレッシング手段としてシフトレジスタを使用した。この他にデコーダ等を使用することも可能である。

【0085】図27は、第11実施例のデータドライバの構成を示す図であり、第28図はその動作を示す図である。第11実施例は、第10実施例と同様に点順次型データドライバを使用し、第10実施例とはデータドライバの構成のみが異なる。従って、ここではデータドライバについてのみ説明し、他の部分の説明は省略する。

【0086】図示のように、第11実施例のデータドライバでは、入力バスを4並列2組とし、シフトレジスタ

のシフトを半クロック周期で行わせるように、図29に示す半クロックD型フリップフロップ（FF）で構成した点が特徴である。図29は、2個の半クロックD-FFで構成される通常の全クロックD-FFの構成と動作を示す図である。図示のように、それぞれの半クロックD-FFが入力データを1/2クロック周期遅延させ、全体として1クロック周期遅延させて出力する。本実施例においては、シフトパルスは、図28に示すように、シフトパルスの半周期づつシフトする必要があり、入力データを1/2クロック周期遅延させて出力する半クロックD-FFを使用する。

【0087】図27に戻って、データバスラインは一方から順に4本を1組とする組に分けられ、奇数番目の組のデータバスラインは第1の入力バスの組の各線に、偶数番目の組のデータバスラインは第2の入力バスの組の各線にそれぞれスイッチ素子を介して接続される。シフトパルスS1、S2、…は各組の4個のスイッチ素子を同時にオン状態にする。従って、1組のデータバスラインを第10実施例のデータバスラインに対応させれば、第11実施例の動作は第10実施例の動作とほぼ同様である。従って、書き込み順において後方にある組のデータバスラインの電圧変化は、すでにデータバスラインに書き込まれて保持された電圧には影響しない。また、入力バスを4並列としてことで、書き込み時間や水平方向の走査クロック信号の周期を第10実施例の場合より長くすることができる。更に、図29のような半クロックD-FFを使用するため、回路を簡単にできる。

【0088】もちろん、第10実施例で行われる印加するデータ電圧の補正と1H内でデータバスラインに印加する電圧を反転させて実効的に0Vにすることを行っており、クロストークの問題は発生しない。図30は第12実施例のデータドライバの基本構成を説明する図である。ここにおいても、データドライバの一部と液晶パネルの一部のみを示し、他の部分は省略する。なお、第12実施例のデータドライバは、図3に示したような信号をデータバスラインに印加する。

【0089】図30に示すように、データドライバ2は、3本並列に設けられたデータ電圧を供給するバスライン402と、バスライン402とデータバスライン12の間に設けられたスイッチと、このスイッチの制御信号を発生するスイッチ制御回路401と、各データバスラインに定電圧を供給するためのスイッチを設け、このスイッチを外部からの入力信号により制御する構成のオフ期間電圧切り換え部404とを有する。

【0090】図31と図32は第12実施例のデータドライバの構成を詳細に示す図である。ここに示したののは、640×480ドットのVGA対応のデータドライバの回路であり、液晶パネルが形成されるのと同じ基板の上にポリシリコンTFTにより形成される。図において、SIはシフトレジスタのシフトデータのデジタル

信号であり、CLK1とCLK2はシフトクロックで180°位相がずれた2相クロックのデジタル信号であり、DATA1～DATA4は画像データに対応したデータバス駆動電圧でアナログ信号であり、RESETと／RESETはデータバスライン電位をTof f -dataの期間中のデータバスライン駆動電圧Vof f -dataに接続するスイッチの制御信号でデジタル信号である。シフトレジスタの動作とDATA1～4（Vdmax=15V，Vdm in=5V）の動作を示した駆動波形のタイミングチャートを図33に示す。対向電極の電圧は画素毎に設けたTFTの走査バスラインとの寄生容量による保持電圧低下を考慮して9V程度に調整した。画素電極と対向電極に挟持された液晶には+5V，-5Vが最大で印加される。シフトレジスタは奇数番目のレジスタがCLK1の高電圧（20V）時に、偶数番目のレジスタがCLK2の高電圧時にSI又は信号qm（mは正の整数）を取り込む。よって、図示のように、q1，q2，…はCLK1，2の半周期分重なってシフトされる。信号Qmはqmとqm+1のNANDをとった波形であり、図に示すようなシフト波形になる。この信号をインバータを奇数回又は偶数回通して2つの信号を作り、これによりDATA1～DATA4の入力端子とデータバスラインとの間に設けたトランスミッションゲート構成のスイッチを制御し、Qmが低電圧の時に各データバスラインとDATA1～4の間を導通状態にして次々にDATA1～DATA4の電圧をデータバスラインに書き込む構成になっている。図34にデータバスライン電圧とRESET信号の駆動波形を示す。図に示すように、図31のシフトレジスタの駆動方法による全データバスラインへの書き込み期間とその後のRESET信号により0V（Vof f -data）になるまでの間保持された期間を1/2H以内にするように駆動する。次に、データドライバの全データバスラインへの書き込みが終了し、その後保持されている期間中に走査パルス立ち下げて導通状態から非導通状態にする。これにより、データバスラインの電圧の時間平均（実効電圧）に依存する度合いを軽減することができる。ここで、Vof f -dataを0V（=Vgof f）としたのは画素毎のTFTがNチャンネル型を使用しているためである。もしPチャンネル型を使用する場合には、走査パルスの極性を反転し、Vof f -dataも20Vにする。また、ここではRESET信号を外部からの入力信号としたが、シフトレジスタの個数を増加させてQm'（m'>160）以上の信号により、RESET信号を発生させてもよい。また、ここではTof f -data期間の電圧をVof f -dataだけの1入力のみにしたが、例えば、DATA入力数と同じように、Vof f -data1～Vof f -data4の4つの電圧を並行して入力し、DATA1が接続されるD1，D5，D9…にはVof f -data1を、DATA2が

接続されるD2, D6, D10…にはVoff-data2を、DATA3が接続されるD3, D7, D11…にはVoff-data3を、DATA4が接続されるD4, D8, D12…にはVoff-data4をそれぞれToff-data期間の電圧としてもよい。

【0091】図35と図36は第13実施例のデータドライバの構成を詳細に示す図である。第13実施例は、第12実施例とほぼ同様の構成を有するが、DATA1～4の電圧をCs1～Nの容量素子に書き込む点と、シフトレジスタのCs1～Nへの書き込み動作速度が第12実施例と異なる。図37にCs1～Nへの書き込みと、RESET信号と、ENABLE信号と、データバスライン電圧D1…と、走査バスラインnの電圧波形を示す。図示のように、Cs1～Nまでの書き込み保持動作は1/2H以上であるが、Cs1～Nに保持された電圧を各データバスラインD1～Nに書き込む期間は、ENABLE信号により書き込まれた期間のみであり、時間としては3μs程度である。Cs1～Nの各容量値は各データバスラインのバス容量と同じ値(10pF程度)にした。このためDATA1～4で入力したVdmax=20V, Vdmin=0Vの電圧はデータバスライン容量に充電されたToff-data期間の電圧10V(Voff-data)との間で容量分割され、5V～15Vの電圧が各データバスラインに書き込まれる。また、ここでは画素のTFTにNチャンネル型を使用したので図示のような走査パルスにしたが、Pチャンネル型を使用する場合には走査パルスの極性を反転する。第13実施例でも第12実施例で説明した変形例が可能である。

【0092】図38は第14実施例の液晶パネルの画素構成を示す図であり、図39は第14実施例の動作を説明する図であり、図40は第14実施例の駆動波形を示す図である。第14実施例においては、図38に示すように、Csバスを設けて画素電極の保持容量を形成する。そして、図39に示すように、TFTとしてNチャンネル型を使用した場合には、Toff-data期間におけるCsバスの電圧の直流成分を、Ton-data期間における走査バスラインの電圧がVgonからVgoffへ変化する直前のCsバス電圧以上の高い電圧にする。Ton-data期間とToff-data期間におけるCsバス電圧を調整し、Cs容量と画素電極のその他の容量との容量分割を利用してToff-data期間の画素電極の電圧レベルを細かく調整することが可能になる。Pチャンネル型を使用する場合には、図39の走査バスラインの極性が反転した状態にし、Toff-data期間におけるCsバスの電圧の直流成分を、Ton-data期間における走査バスラインの電圧がVgonからVgoffへ変化する直前のCsバス電圧以下の低い電圧にする。

【0093】第14実施例においては、データドライバ

の構成は、図35と図36に示した第13実施例と同じであるが、図40に示すように、電源電圧は25Vに変更してある。DATA1～4の端子には5V～25Vまでの画像データに対応する信号が入力され、サンプリングホールド回路でサンプリングする。データバスラインには前回のRESET信号によりVoff-dataの5Vが充電されており、ENABLE信号によりサンプリングホールド回路のサンプリング容量10pFとデータバスラインの容量10pFの間で容量分割が生じ、サンプリングされた5V～25Vの画像データに対応した電圧は5V～15Vの電圧になる。走査バスラインはENABLE信号によりデータバスラインに画像データに対応した電圧が書き込まれた後、RESET信号が入る前にVgonからVgoffにし、データバスラインの電圧を画素に保持する。Csバス電圧は画素に画像データに対応した電圧を保持した後、0Vから5Vに変化するため画素に保持されていた電圧はVoff-dataの5V以上まで上昇する。このため、Toff-data期間においては、画素のTFTにNチャンネル型を用いて、画素電極よりもデータバスラインの電圧が低い電圧になるため、データバスラインの電圧がソース電圧となり、画素のTFTのゲート電圧とソース電圧の電圧差が調整可能となる。これを利用して、Toff-data期間の画素電極の電圧レベルを細かく調整することが可能になる。

【0094】図41は第15実施例の液晶パネルの画素構成を示す図であり、図42は第15実施例の動作を説明する図であり、図43は第15実施例の駆動波形を示す図である。第15実施例においては、図41に示すように、隣接する走査バスラインを画素電極の補助容量の対向電極とするCsオンゲートの構成で、TFTとしてNチャンネル型を使用した場合には、Toff-data期間における隣接走査バスラインの電圧の直流成分を、Ton-data期間における走査バスラインの電圧がVgonからVgoffへ変化する直前の前記隣接走査バスラインの直流電圧成分以上の高い電圧にする。Ton-data期間とToff-data期間における隣接走査バスライン電圧を調整し、Cs容量と画素電極のその他の容量との容量分割を利用してToff-data期間の画素電極の電圧レベルを細かく調整することが可能になる。Pチャンネル型を使用する場合には、図42の走査バスラインの極性が反転した状態にし、Toff-data期間における前記隣接走査バスラインの電圧の直流成分を、Ton-data期間における走査バスラインの電圧がVgonからVgoffへ変化する直前の隣接走査バスライン電圧以下の低い電圧にする。

【0095】第15実施例においては、データドライバの構成は、図35と図36に示した第13実施例と同じであるが、図43に示すように、電源電圧は25Vに変

更してある。DATA1～4の端子には5V～25Vまでの画像データに対応する信号が入力され、サンプリングホールド回路でサンプリングする。データバスラインには前回のRESET信号によりVoff-dataの5Vが充電されており、ENABLE信号によりサンプリングホールド回路のサンプリング容量10pFとデータバスラインの容量10pFの間で容量分割が生じ、サンプリングされた5V～25Vの画像データに対応した電圧は5V～15Vの電圧になる。走査バスラインはENABLE信号によりデータバスラインに画像データに対応した電圧が書き込まれた後、RESET信号が入る前にVgonからVgoffにし、データバスラインの電圧を画素に保持する。走査バスのVgoff電圧は画素に画像データに対応した電圧を保持した後、-5Vから0Vに変化するため画素に保持されていた電圧はVoff-dataの5V以上まで上昇する。このため、Toff-data期間においては、画素のTFTにNチャンネル型を用いて、画素電極よりもデータバスラインの電圧が低い電圧になるため、データバスラインの電圧がソース電圧となり、画素のTFTのゲート電圧とソース電圧の電圧差が調整可能となる。

【0096】図44に、第16実施例のデータドライバの構成を示す。図示したのは、ICにより構成したVGA対応のデータドライバを示している。データバスラインと同じ数のサンプリングホールド回路を持つアナログラッチ回路を2段持ち、1段目はDATA1～4 ( $V_{dmax}=15V$ ,  $V_{dmin}=5V$ ) に順次入力される画像データに対応したデータバスライン駆動電圧を順次サンプリングホールドし、LATCH信号により1段目に一走査ライン分のデータバスライン駆動電圧を移す。2段目の出力バッファはENABLE信号がディスエーブルの間は出力端子がハイインピーダンスになる。よって、ENABLE信号がディスエーブルの間、RESET信号により各データバスラインの電圧をVoff-data (10V) にした。ENABLE信号で2段目のバッファがイネーブルになる期間は1/2H以下の10 $\mu s$ 程度であり、液晶パネルにはアモルファスシリコンTFTを使用した。

【0097】上記の第13及び16実施例においても、Voff-dataを画素のTFTのオフ電流が最小となるように調整して、時間平均的に画素TFTのオフ電流を抑えるようにしてもよい。例えば、図5に示すVG-ID特性のNチャンネル型TFTを画素のTFTとして使用した場合には、Voff-dataの電圧を走査バスラインのVgoff=0Vにして、Toff-data期間に画素TFTにかかるバイアスを小さくし、オフ電流が低い動作点にすることで、時間平均的にオフ電流を小さくする。当然画素TFTのオフ電流が低い動作点のバイアスがVG≠0Vの場合には、Voff-data又はVgoffを調整してオフ電流が低い動作点に

調整してもよい。

【0098】

【発明の効果】以上説明したように、本発明の第1の態様によれば、画素電極とデータバスラインとの間が容量結合された構造であっても、クロストークを生じることがなく、所望の輝度で正確に表示でき、しかも表示輝度の高い優れた表示品質のLCDを提供することができる。更に、点順次型データドライバが使用できるため、コストの低減を図ることができる。

【0099】更に、本発明の第2の態様によれば、画素TFTのオフ電流を低減でき、画素電圧の保持特性がよくなるため、表示品質の向上が図れる。また、データバスラインの時間平均電圧（実効電圧）の画像データに依存する度合いが低減されるため、従来必要としたフレームメモリや補正量演算回路等を必要とせずに、クロストークのない表示が可能になる。

【図面の簡単な説明】

【図1】本発明の第1の態様の原理説明図である。

【図2】本発明における補正原理の説明図である。

【図3】本発明の第2の態様の原理説明図（その1）である。

【図4】本発明の第2の態様の原理説明図（その2）である。

【図5】TFTの印加電圧に対する電流の特性を示す図である。

【図6】第1実施例のLCDの構成を示す図である。

【図7】第1実施例における画素配置を示す図である。

【図8】第1実施例における動作を示す図である。

【図9】第1実施例における補正值演算方法の説明図である。

【図10】第1実施例における補正值演算部の構成を示す図である。

【図11】第2実施例におけるデータ電圧波形を示す図である。

【図12】第3実施例におけるデータ電圧波形を示す図である。

【図13】第4実施例における補正值演算部の構成を示す図である。

【図14】第4実施例における補正值演算部の動作を示す図である。

【図15】第5実施例における補正值演算部の構成を示す図である。

【図16】第5実施例における補正值演算部の動作を示す図である。

【図17】第6実施例における補正值演算部の構成を示す図である。

【図18】ポリシリコンを活性層としたTFT-LCDを示す図である。

【図19】第7実施例の画素構成を示す図である。

【図20】第8実施例の画素構成を示す図である。

【図21】第8実施例の画素構成の変形例を示す図である。

【図22】第9実施例の画素構成を示す図である。

【図23】点順次型データドライバの従来例を示す図である。

【図24】従来の点順次型データドライバの動作を示す図である。

【図25】第10実施例のデータドライバと液晶パネルの一部の構成を示す図である。

【図26】第10実施例のデータドライバの動作を示す図である。

【図27】第11実施例のデータドライバの構成を示す図である。

【図28】第11実施例のデータドライバの動作を示す図である。

【図29】第11実施例で使用する半クロックフリップフロップ回路を示す図である。

【図30】第12実施例のデータドライバと液晶パネルの一部の構成を示す図である。

【図31】第12実施例のデータドライバの詳細な構成を示す図である。

【図32】第12実施例のデータドライバの詳細な構成を示す図である。

【図33】第12実施例のデータドライバの動作を示す図である。

【図34】第12実施例の駆動波形を示す図である。

【図35】第13実施例のデータドライバの詳細な構成を示す図である。

【図36】第13実施例のデータドライバの詳細な構成を示す図である。

【図37】第13実施例の駆動波形を示す図である。

【図38】第14実施例の液晶パネル及び画素の構成を示す図である。

【図39】第14実施例の動作を説明する図である。

【図40】第14実施例の駆動波形を示す図である。

【図41】第15実施例の液晶パネル及び画素の構成を

示す図である。

【図42】第15実施例の動作を説明する図である。

【図43】第15実施例の駆動波形を示す図である。

【図44】第16実施例のデータドライバの構成を示す図である。

【図45】アクティブマトリクス型LCDの基本構成を示す図である。

【図46】従来のLCDの画素構成の上面図である。

【図47】高画素開口率型LCDの動作を説明する図である。

【図48】クロストークの発生を説明するための各画素のデータ電圧の例を示す図である。

【図49】隣接する画素に書き込まれるデータ電圧による影響を示す図である。

【図50】表示パターンにおけるクロストークの影響を示す図である。

【図51】従来の高画素開口率型LCDの画素構成の上面図である。

【図52】第1実施例における補正值算出方法の変形例。

【図53】第1実施例における補正值算出部の変形例。

【符号の説明】

1…液晶パネル

2…データドライバ

3…走査ドライバ

4…制御部

11…TFT基板

12…データバスライン

13…走査バスライン

14…TFT

15…ソース（ポリシリコン）

16…ドレイン（ポリシリコン）

17…画素電極

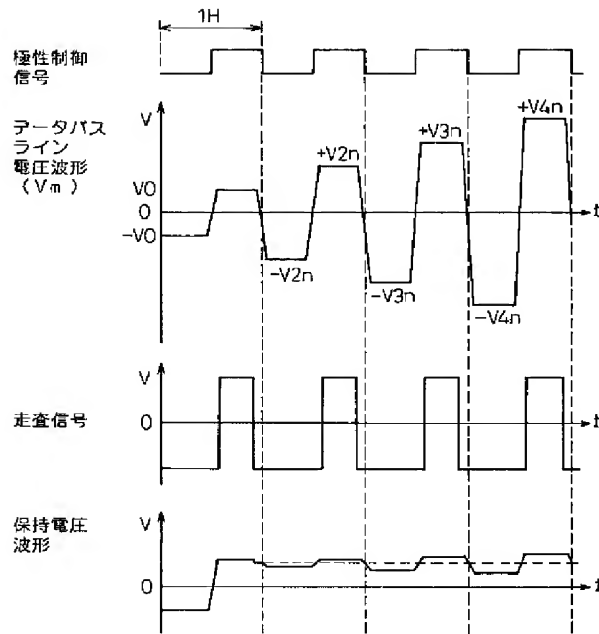
22…補正值算出部

101…アクティブマトリクス型液晶表示装置

102…表示データ生成装置（PC）

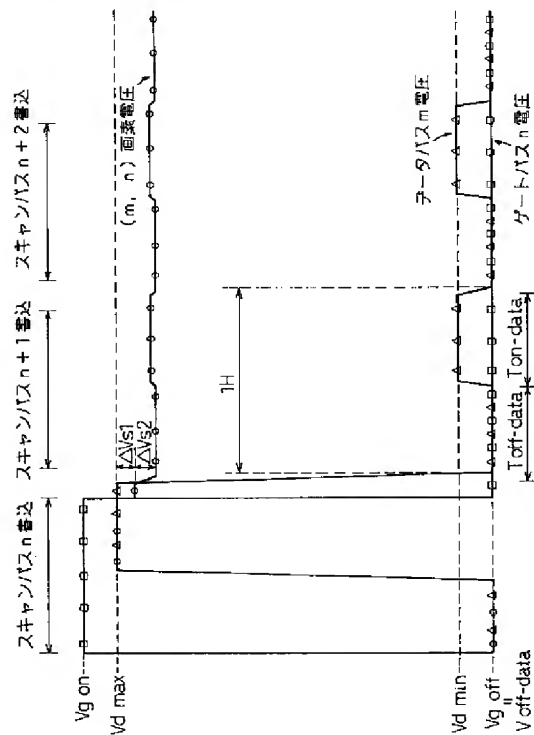
【図1】

本発明の第1の態様の原理説明図



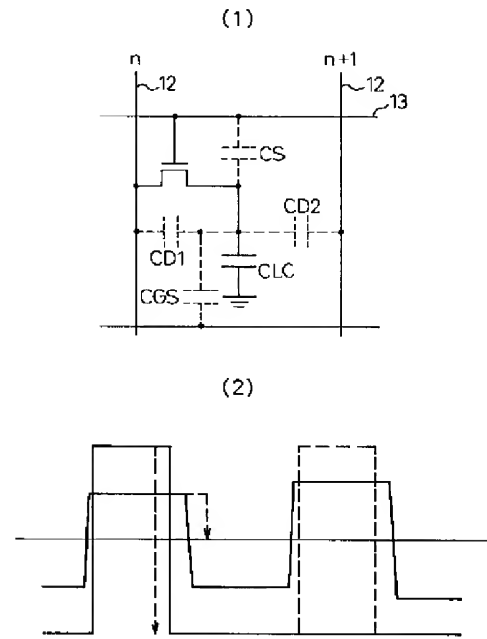
【図4】

本発明の第2の態様の原理説明（その2）



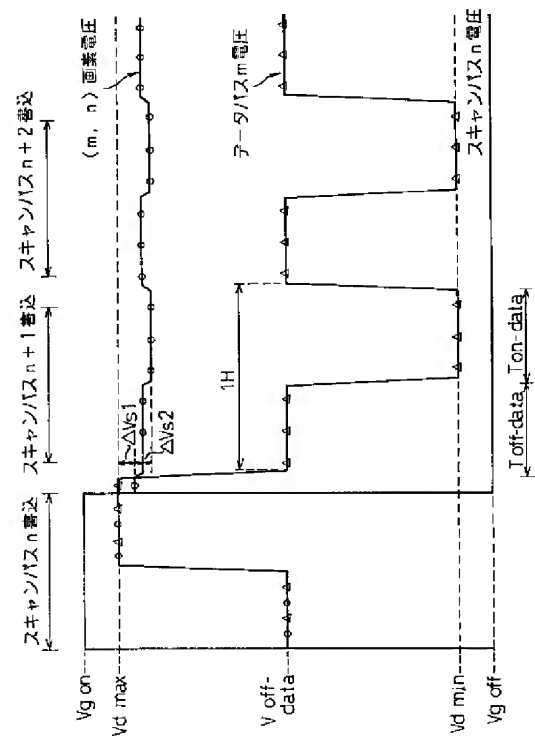
【図2】

本発明における補正原理

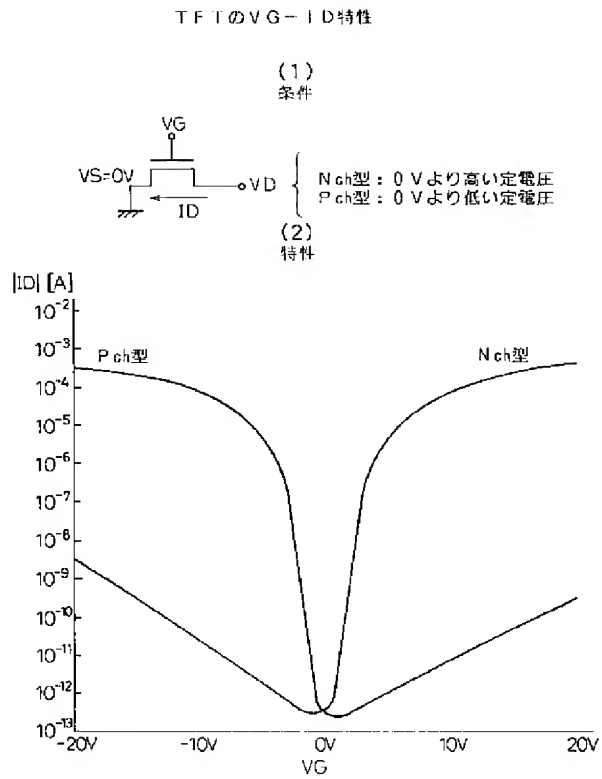


【図3】

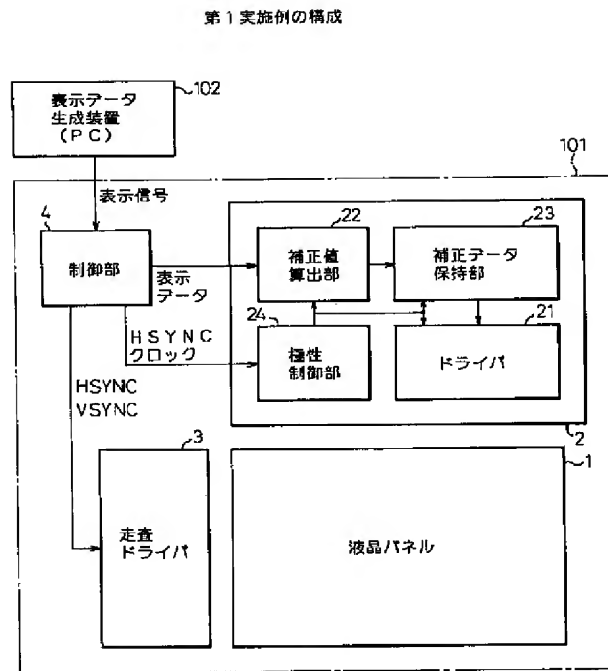
本発明の第2の態様の原理説明（その1）



【図5】

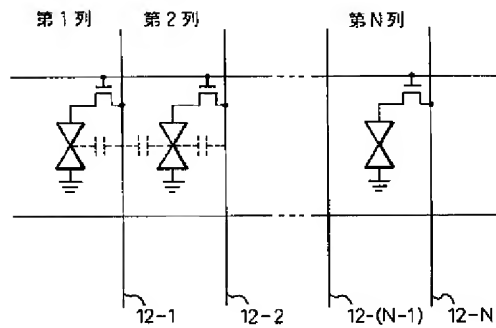


【図6】



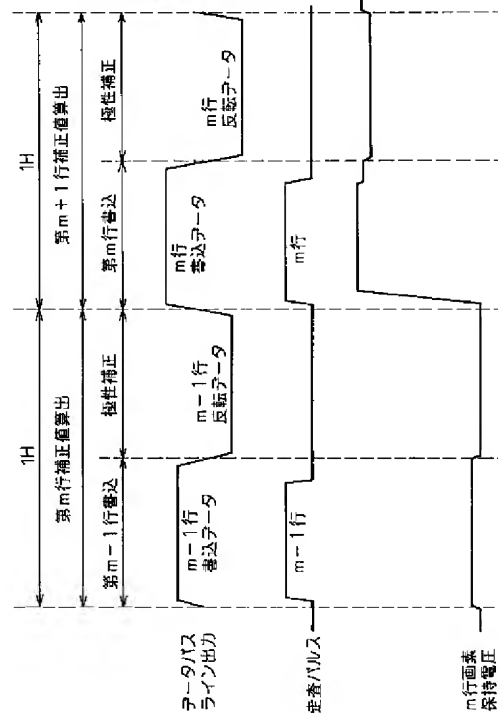
【図7】

第1実施例における画素配置



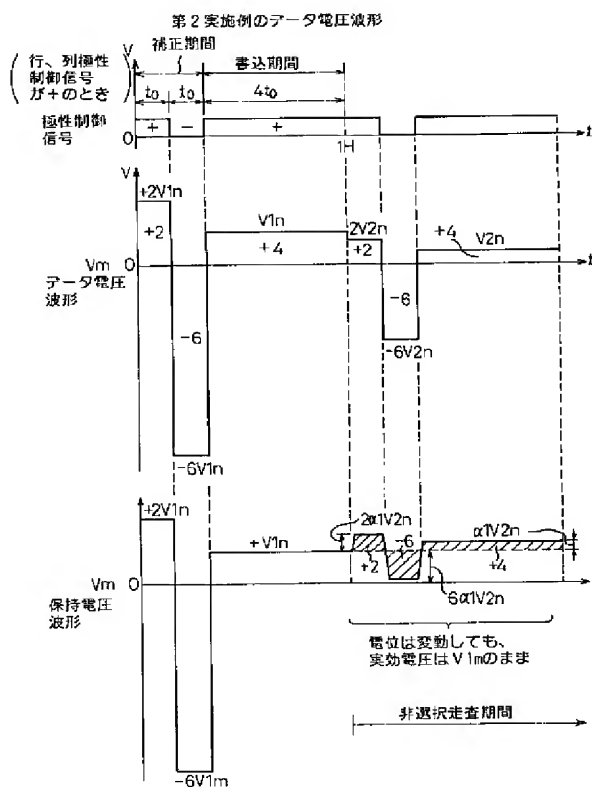
【図8】

第1実施例における動作

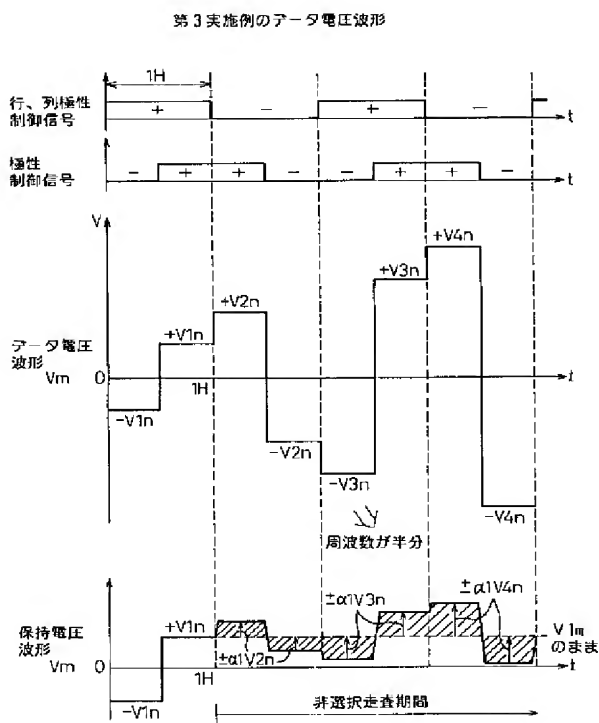




【図11】

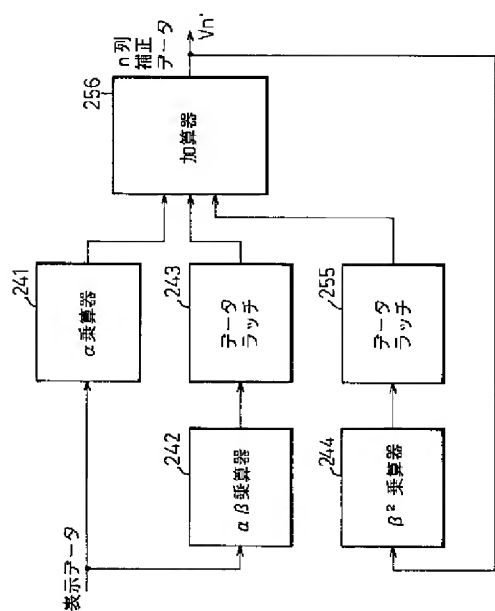


【図12】



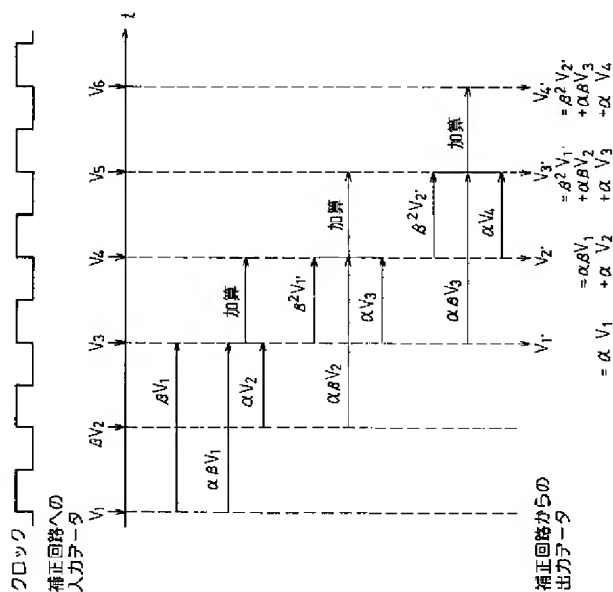
【図15】

第5実施例の補正値算出部



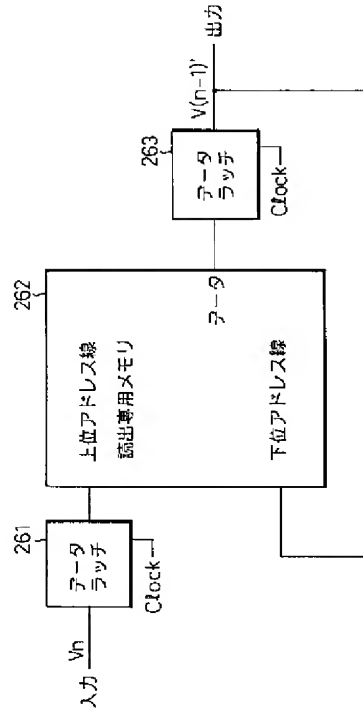
【図16】

第5実施例の補正部の動作



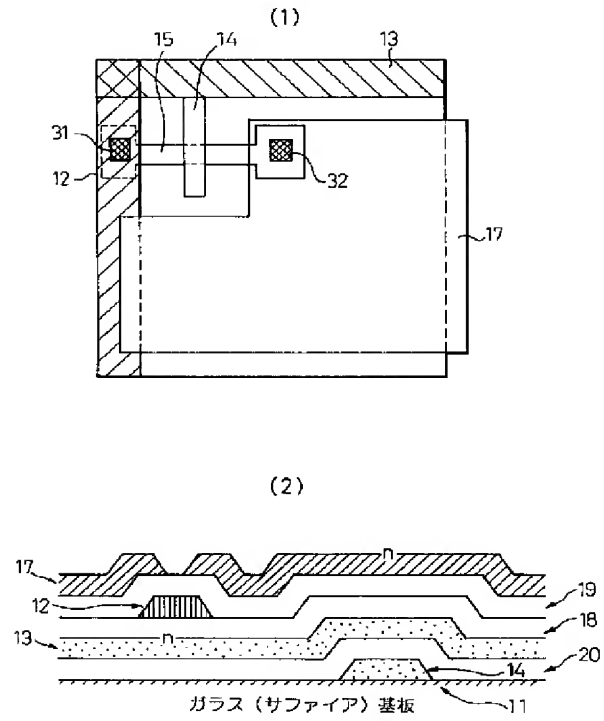
【図17】

第6実施例の補正値算出部



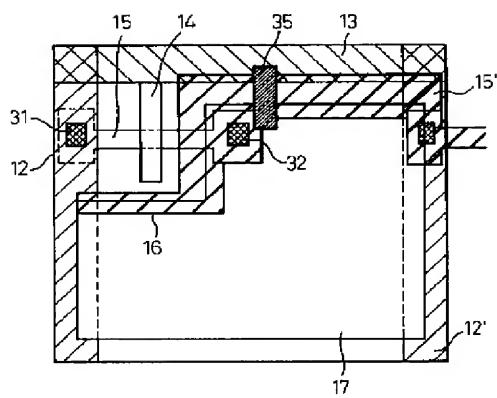
【図18】

ポリシリコンを活性層としたTFT-LCD



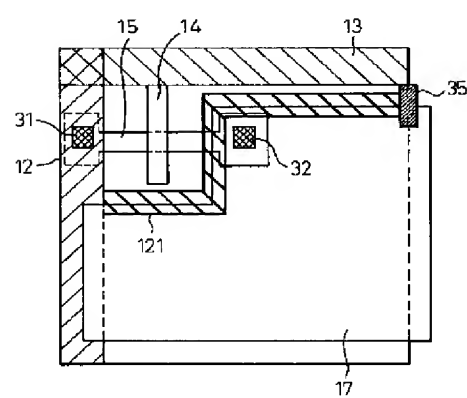
【図19】

第7実施例の画素構成



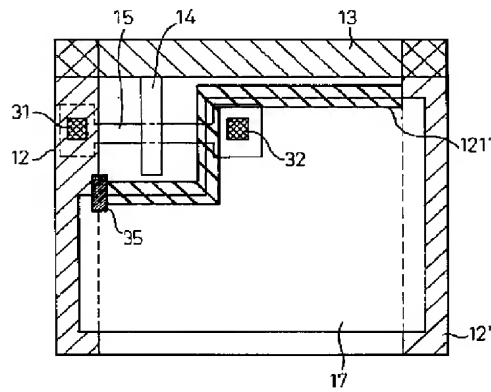
【図20】

第8実施例の画素構成



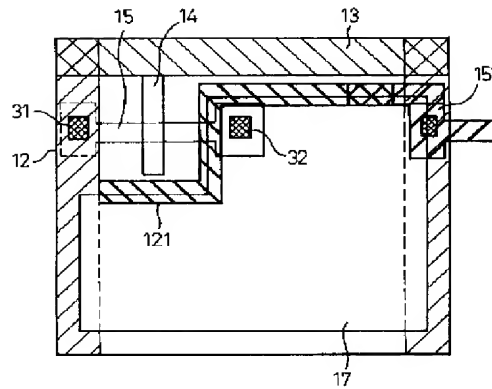
【図21】

### 第8実施例の画素構成の変形例



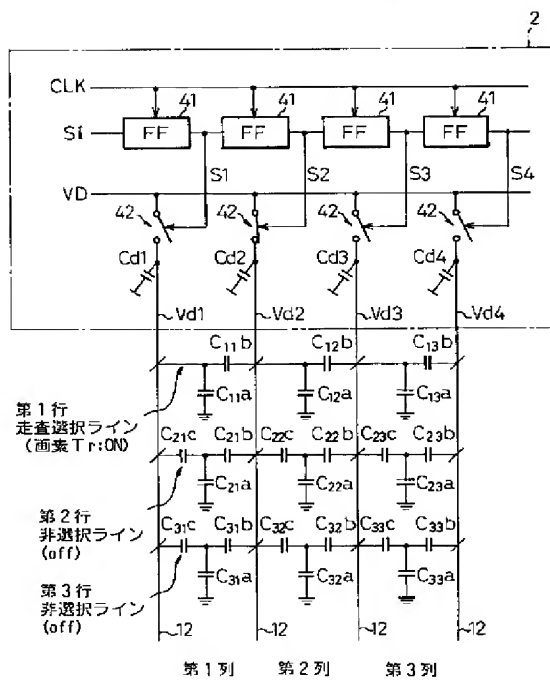
【图 22】

### 第 9 実施例の画素構成



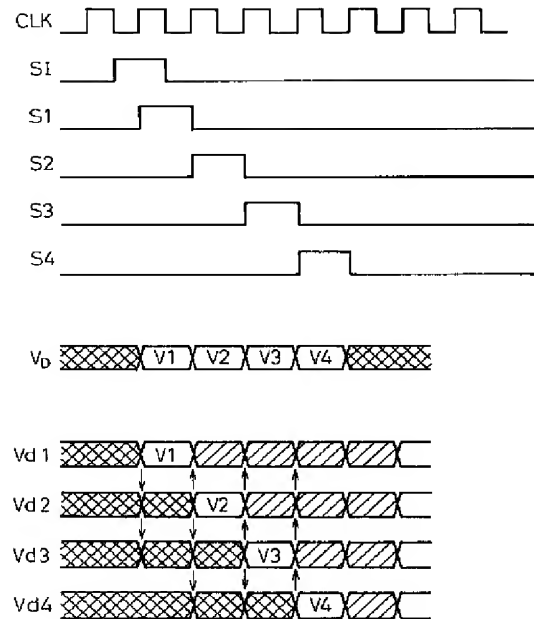
【図23】

### 点順次型データドライバの従来例

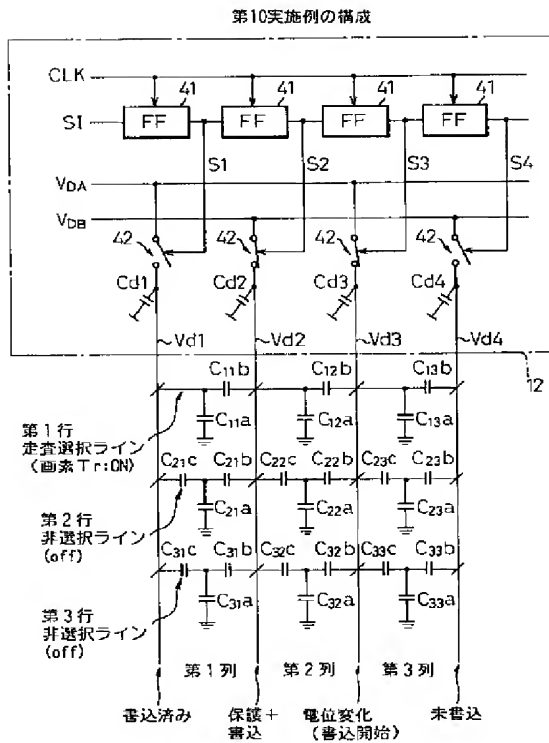


【図24】

### 従来の点順次型データドライバの動作

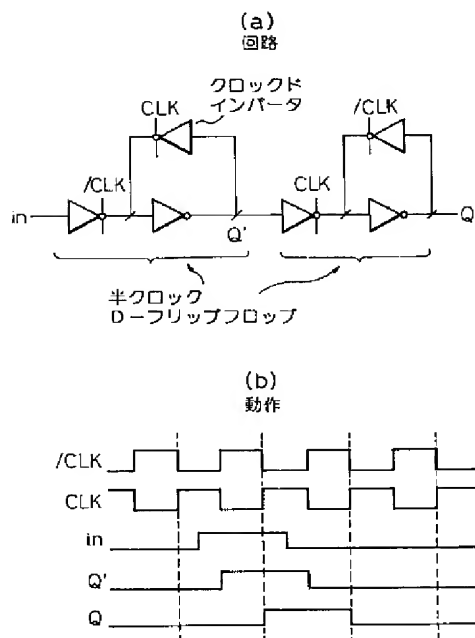


【图25】



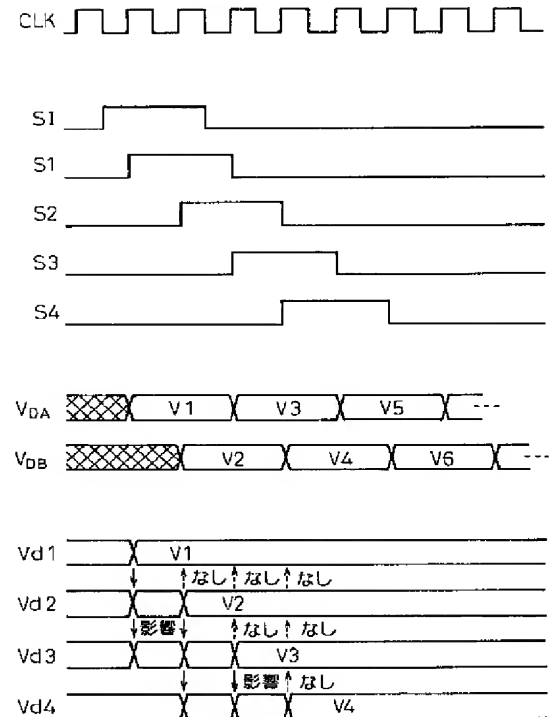
【图29】

### 半クロックDフリップフロップ



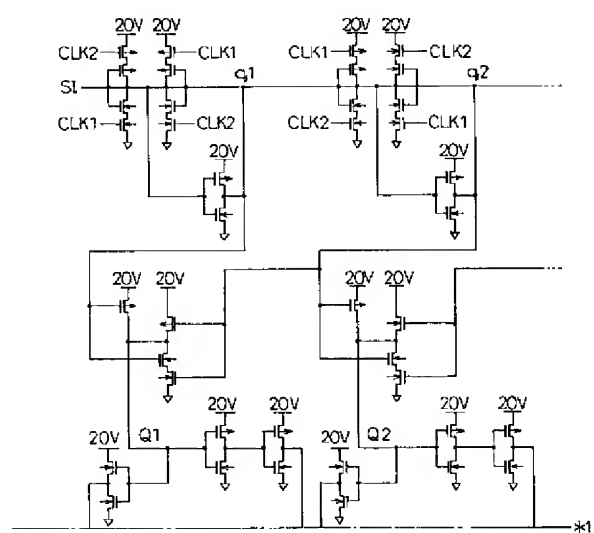
【図26】

### 第10実施例のデータドライバの動作

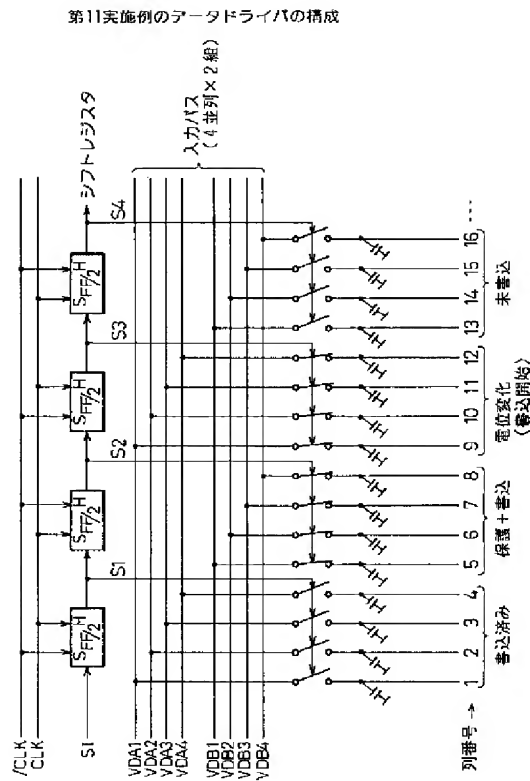


【例 3 1】

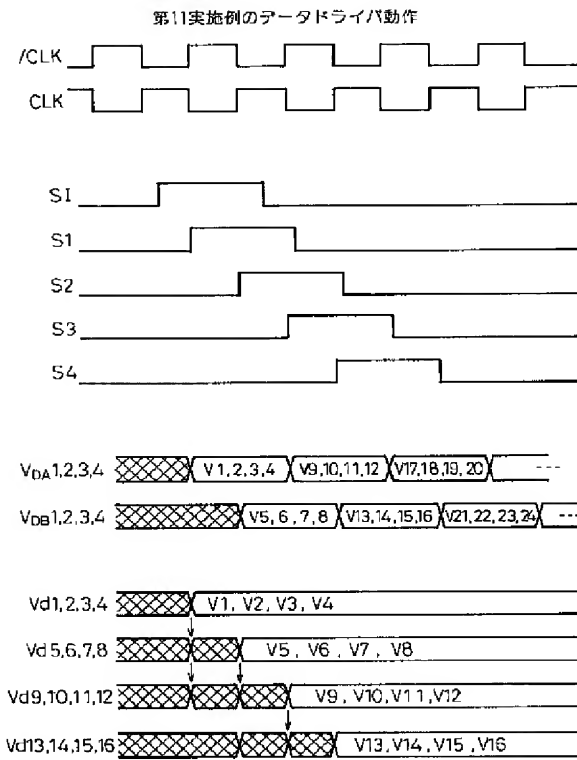
第12実施例のアータドライバの詳細（その1）



【図27】

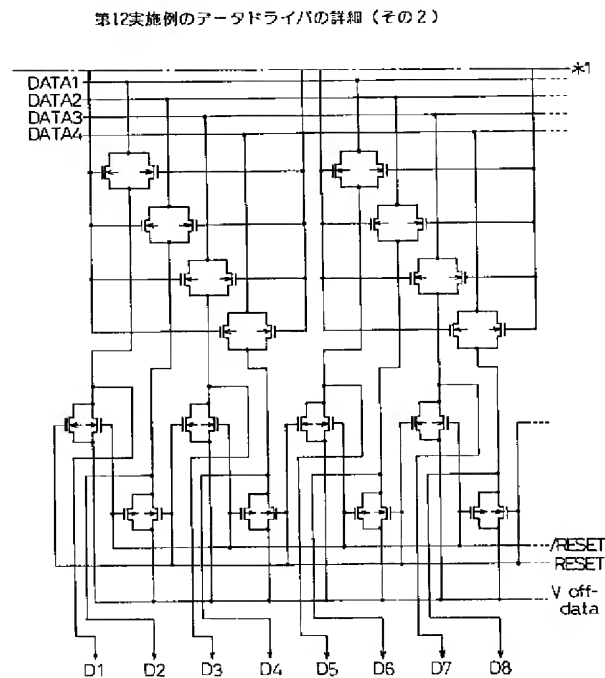


【図28】

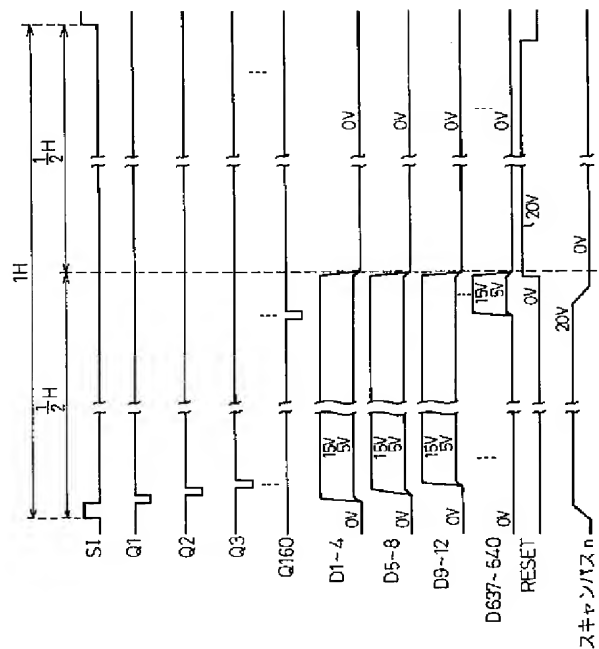


【図34】

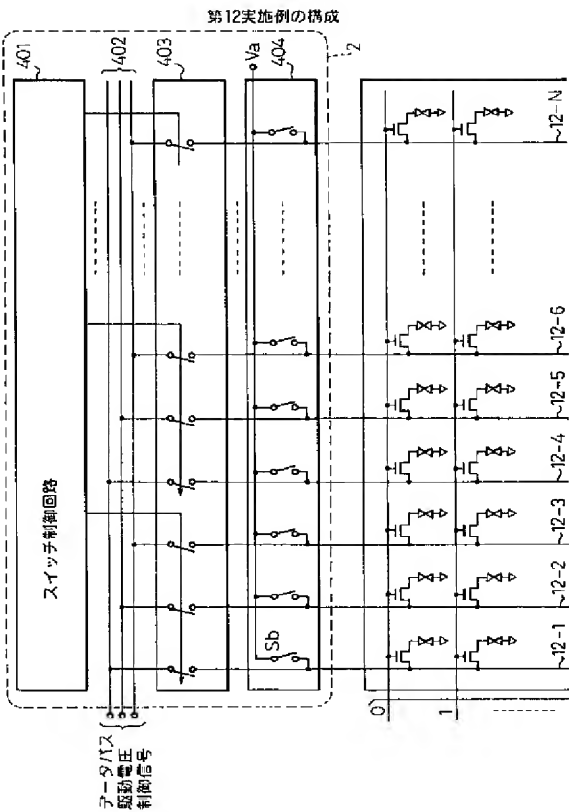
【図32】



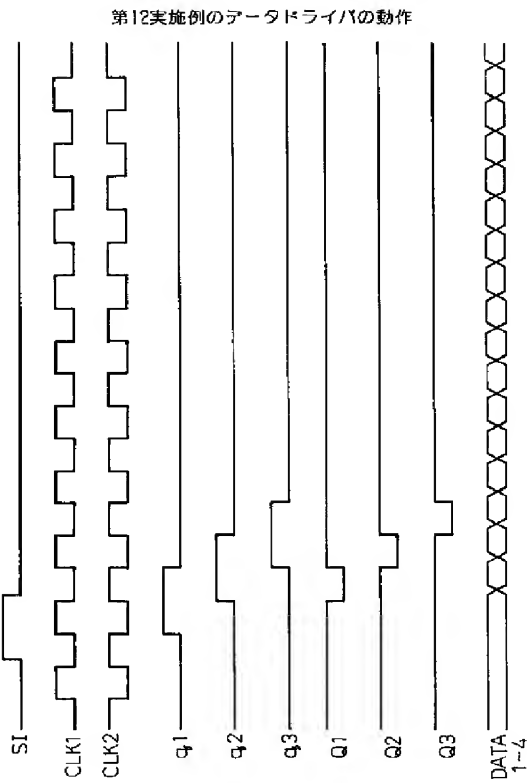
第12実施例の駆動波形



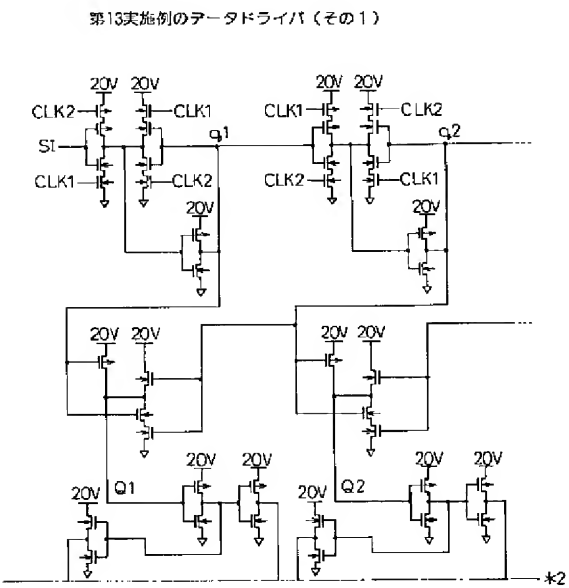
【図30】



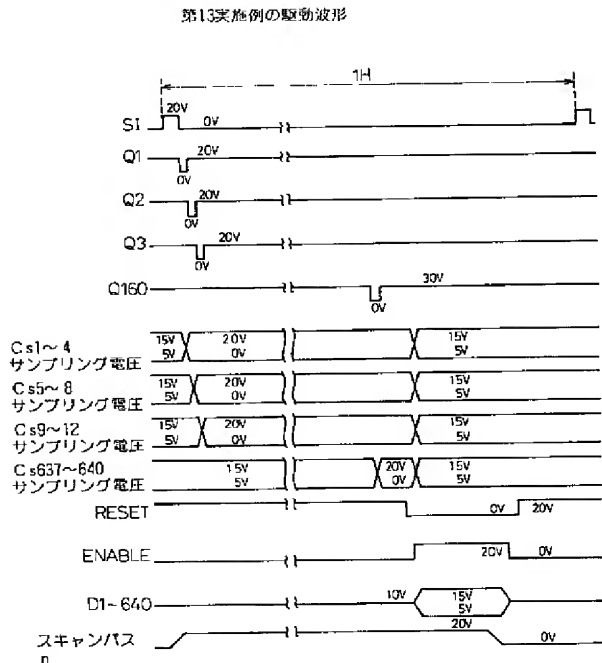
【図33】



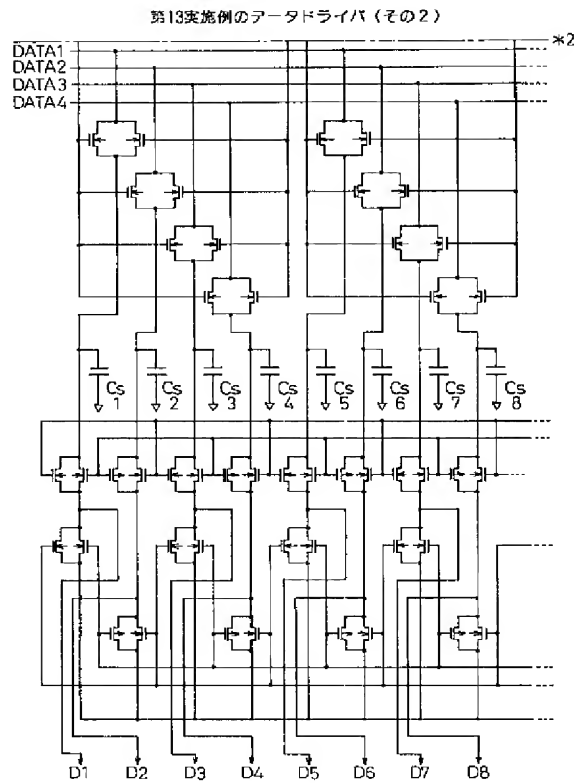
【図35】



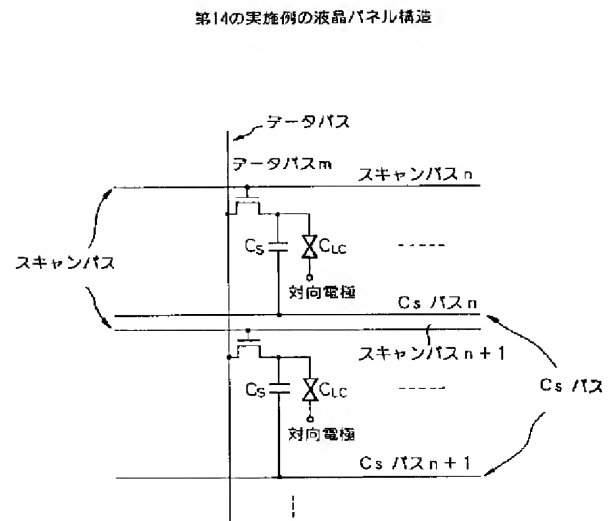
【図37】



【図36】

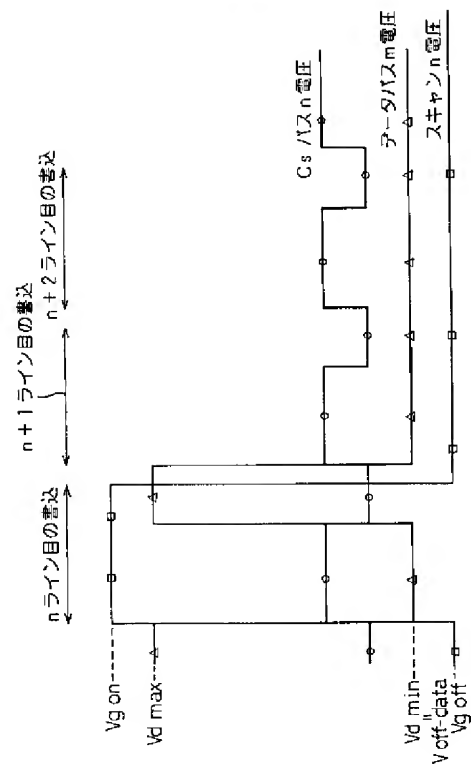


【図38】



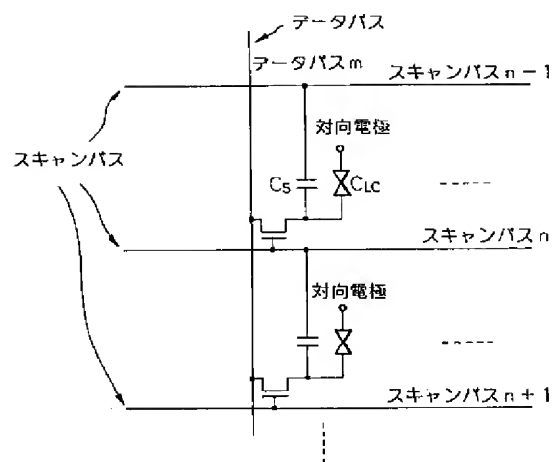
【図39】

第14実施例の動作説明

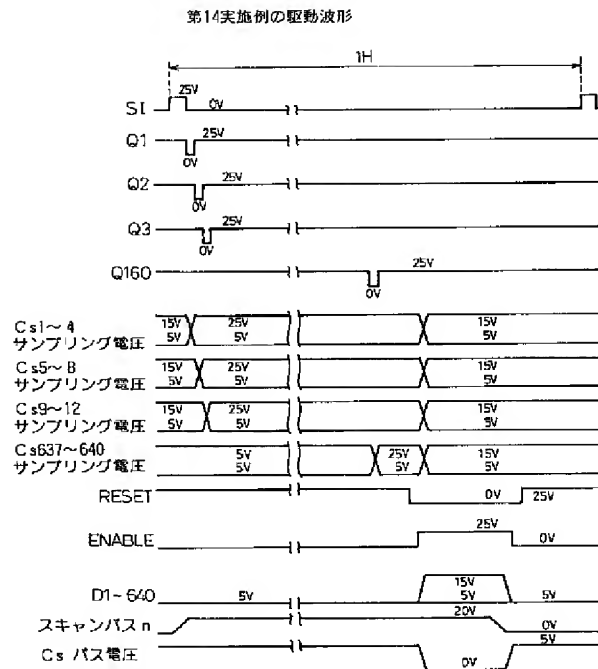


【図41】

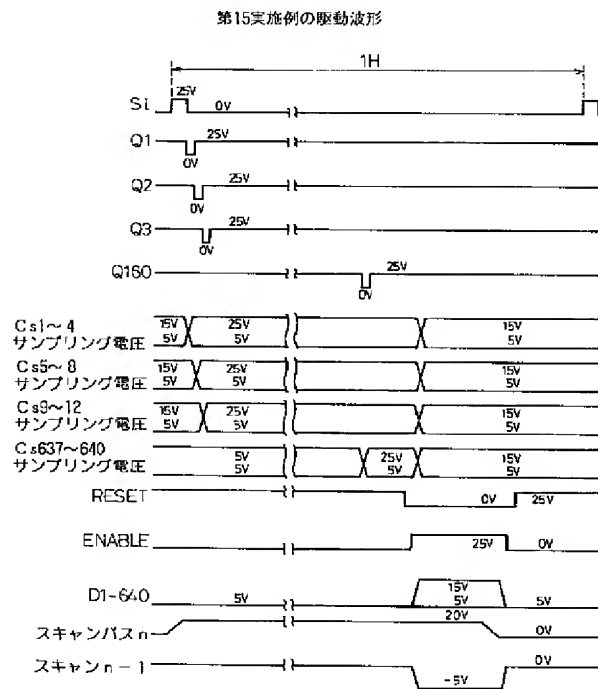
第15実施例の液晶パネル構成



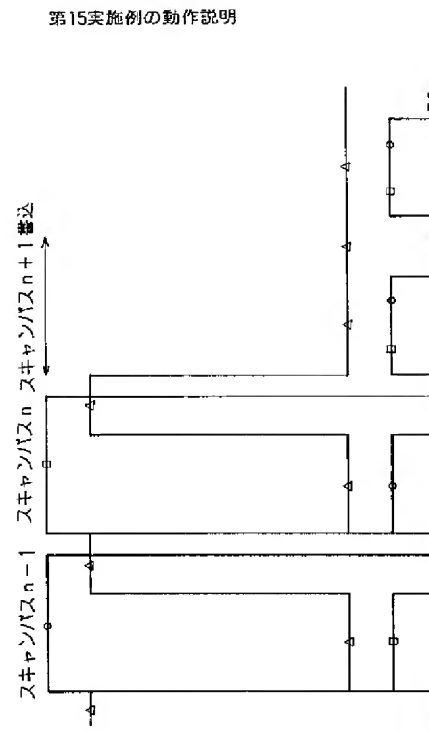
【図40】



【図43】

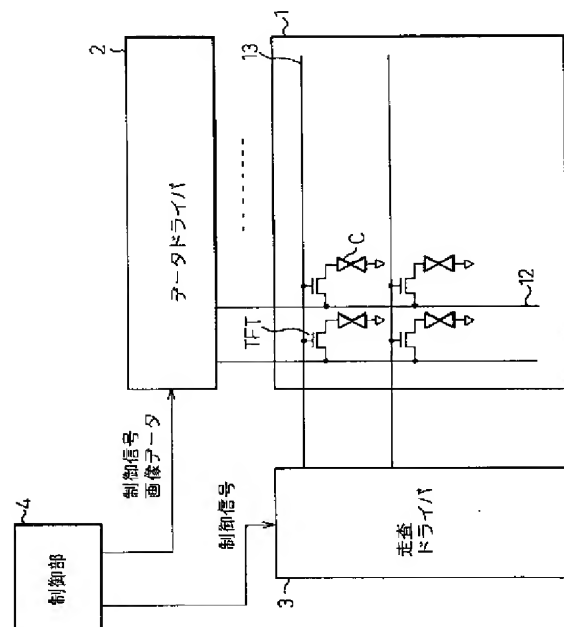


【図42】



【図45】

アクティブマトリクス型LCDの基本構成







【図 5 2】

第 1 実施例における補正値算出方法の変形例

補正回数	印加電圧	保持電圧
0	$V_n \quad (n \geq 2)$	$V_n - \Delta V_n$ $= V_n - \alpha 1 V_{n-2} V_{(n-1)}$
1	$V_n + \Delta V_n$	$V_n + \Delta V_n - \alpha 1 (V_n + \Delta V_n)$ $\quad - \alpha 2 V_{(n-1)}$ $= V_n + \alpha 1 V_n + \alpha 2 V_{(n-1)}$ $\quad - \alpha 1 V_n - \alpha 1 \Delta V_n - \alpha 2 V_{(n-1)}$ $= V_n - \alpha 1 V_n$
2	$V_n + \Delta V_n + \alpha 1 \Delta V_n$	$V_n + \Delta V_n + \alpha 1 \Delta V_n - \alpha 1 (V_n + \Delta V_n + \alpha 1 \Delta V_n)$ $\quad - \alpha 2 V_{(n-1)}$ $= V_n - \alpha 1^2 \Delta V_n$
3	$V_n + \Delta V_n + \alpha 1 \Delta V_n + \alpha 1^2 \Delta V_n$ $\vdots$ $V_n + (1 + \alpha 1 + \alpha 1^2 + \dots) \Delta V_n$ $\parallel$ $V_n + \sum_{m=0}^n \alpha 1^m \Delta V_n$	$\vdots$

フロントページの続き

(72)発明者 森田 敬三  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 糸数 昌史  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 中林 謙一  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 山本 彰  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内  
(72)発明者 原口 宗広  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内